

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-207453
 (43)Date of publication of application : 26.07.2002

(51)Int.CI.

G09G 3/36
 G02F 1/133
 G02F 1/1368
 G09F 9/30
 G09G 3/20
 G09G 3/30

(21)Application number : 2001-000048

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.01.2001

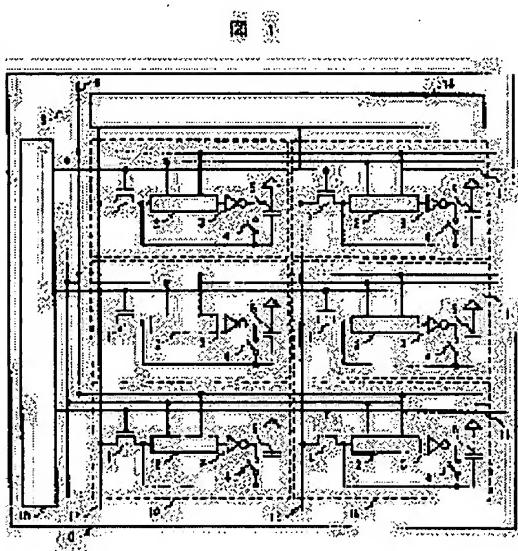
(72)Inventor : AKIMOTO HAJIME
 HOSHINO MINORU
 MIKAMI YOSHIAKI
 KOMURA SHINICHI

(54) IMAGE DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To simultaneously reduce the power consumption and the cost of an image display device.

SOLUTION: The device has a display section which is composed of multiple pixels, a control section which controls the display section and signal lines arranged in the display section to input display signals to the pixels. Each pixel has at least, more than one switch and a first capacitor to store display signals inputted through the signal lines for more than a prescribed time in a form of electric charges. Moreover, the pixel has a means to rewrite the display signals into the first capacitor without going through the signal lines in accordance with the commands from the control section.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] A display constituted by two or more pixels A control section which controls this display A signal line arranged in this display in order to input a status signal into this pixel It is the image display device equipped with the above, and said pixel is characterized by to have a switch and the first capacity of one or more pieces which memorize a status signal inputted through said signal line at least beyond time amount predetermined in a form of a charge, and to have a means which carries out the rewrite of the status signal memorized by this first capacity to said first capacity, without minding said signal line according to an instruction of said control section.

[Claim 2] A status signal memorized in a form of a charge in said pixel is an image display device according to claim 1 characterized by being 1 bit.

[Claim 3] An end of said first capacity is an image display device according to claim 1 characterized by connecting with the gate of the first field-effect transistor prepared in said pixel.

[Claim 4] Said first field-effect transistor is an image display device according to claim 3 characterized by carrying out drain ground connection.

[Claim 5] It is the image display device according to claim 3 characterized by connecting an end of said first capacity to the gate of the second field-effect transistor prepared in said pixel, and connecting an end of this second field-effect transistor to capacity which consisted of liquid crystal.

[Claim 6] Said first capacity is an image display device according to claim 1 characterized by including capacity which consisted of liquid crystal.

[Claim 7] An image display device according to claim 6 with which a status signal by which a rewrite is carried out to said first capacity is characterized by having a means for taking two voltage values by turns at every rewrite in said pixel.

[Claim 8] Said first capacity is an image display device according to claim 7 characterized by connecting with an output of an inverter circuit prepared in said pixel through the first switch formed in said pixel.

[Claim 9] Said first capacity is an image display device according to claim 7 characterized by connecting with an input of an inverter circuit prepared in said pixel through the second switch formed in said pixel.

[Claim 10] Said inverter circuit is an image display device according to claim 8 or 9 characterized by being CMOS (Complementary Metal Oxide Semiconductor) circuitry.

[Claim 11] An image display device according to claim 1 characterized by having two or more capacity more than an individual (n+1) for memorizing a n-bit status signal beyond time amount predetermined in a form of a charge in said each pixel.

[Claim 12] Said first capacity contained in inside of two or more of said capacity is an image display device according to claim 11 characterized by including capacity which consisted of liquid crystal.

[Claim 13] An image display device according to claim 12 characterized by having a means which carries out the sequential input of the n-bit status signal in a form of a charge to said first capacity in said pixel.

[Claim 14] An image display device according to claim 13 characterized by thing for which it has a means in said pixel in order to make a n-bit status signal by which a sequential input is carried out in a form of a charge to said first capacity be the reversal signal of the 1st status signal at eye watch (n+1).

[Claim 15] An image display device according to claim 11 characterized by having two or more amplifier circuits of two or more of said capacity and same numbers in said pixel.

[Claim 16] Said two or more amplifier circuits are image display devices according to claim 15 characterized by being an inverter circuit.

[Claim 17] Said two or more inverter circuits are image display devices according to claim 16 characterized by being a CMOS-circuit configuration.

[Claim 18] An image display device according to claim 1 characterized by having a charge transfer device (CTD, Charge Transfer Device) in said each pixel.

[Claim 19] Said charge transfer device is an image display device according to claim 18 about it being BBD (Bucket Brigade Device).

[Claim 20] Said charge transfer device is an image display device according to claim 18 or 19 characterized by having two or more transfer gates and said control section having a means to drive these two or more transfer gates independently, respectively.

[Claim 21] Said charge transfer device is an image display device according to claim 18 or 19 characterized by having two or more transfer gates and said control section having a means to drive these two or more transfer gates with a clock of two phases.

[Claim 22] Said two or more transfer gates in said each pixel are image display devices according to claim 20 or 21 characterized by connecting in common among two or more pixels.

[Claim 23] Said two or more transfer gates in said each pixel are image display devices according to claim 22 characterized by being in a display substantially connected in common among all pixels.

[Claim 24] Said first capacity is an image display device according to claim 18 characterized by including capacity which consisted of liquid crystal.

[Claim 25] An image display device according to claim 24 characterized by having a means which carries out the sequential input of the n-bit status signal in a form of a charge in said pixel to said first capacity.

[Claim 26] An image display device according to claim 25 characterized by being for which it has a means in the above-mentioned pixel in order to make a n-bit status signal by which a sequential input is carried out in a form of a charge to said first capacity be the reversal signal of the 1st status signal at eye watch (n+1).

[Claim 27] Said first capacity is an image display device according to claim 24 characterized by having inputted into said charge transfer device.

[Claim 28] An image display device according to claim 18 characterized by having an amplifier circuit in an output of said charge transfer device.

[Claim 29] Said amplifier circuit is an image display device according to claim 28 characterized by being an inverter circuit.

[Claim 30] Said inverter circuit is an image display device according to claim 29 characterized by being a CMOS-circuit configuration.

[Claim 31] An end of said first capacity is an image display device according to claim 1 characterized by connecting with the gate of the third field-effect transistor where an end of the current terminal was connected to a light emitting device prepared in said pixel.

[Claim 32] Said light emitting device is an image display device according to claim 31 characterized by being organic light emitting diode (OLED, Organic Light Emitting Diode).

[Claim 33] A display constituted by two or more pixels The display signal-processing section which memorizes a status signal incorporated from the outside and performs the data processing further A control section which performs control of this display and this display signal-processing section A signal line arranged in this display in order to input a status signal into this pixel It is the image display device equipped with the above, and said pixel is characterized by to have a switch and the first capacity of one or more pieces which memorize a status signal inputted through said signal line at least beyond time amount predetermined in a form of a charge, and to have a means which carries out the rewrite of the status signal memorized by this first capacity to said first capacity, without minding said signal line according to an instruction of said control section.

[Claim 34] Said pixel is an image display device according to claim 33 characterized by having an image display means of a reflective mold by which outdoor daylight was used.

[Claim 35] Said pixel is an image display device according to claim 34 which has an image display means of a transparency mold using an image display means of a reflective mold by which outdoor daylight was used, and a lighting means established in an image display device thru/or a reflective mold, and is characterized by both selection being possible by said control section.

[Claim 36] Said switch is an image display device according to claim 1 characterized by consisting of TFT(s) (Thin-Film-Transistor).

[Claim 37] Said channel film of TFT is an image display device according to claim 36 characterized by being formed by polysilicon SiTFT (poly-Si TFT).

[Claim 38] An image display device according to claim 37 characterized by forming a charge transfer device which used polycrystal Si as a channel film in said pixel.

[Claim 39] Said charge transfer device is an image display device according to claim 38 characterized by being BBD (Bucket Brigade Device).

[Claim 40] Said TFT and said channel film of BBD are an image display device according to claim 39 characterized by being formed in the same process.

[Claim 41] Said TFT and said gate electrode of BBD are an image display device according to claim 39 characterized by being formed in the same process.

[Claim 42] A display constituted by two or more pixels and a control section which performs control of this display, It has a signal line arranged in this display in order to input a status signal into this pixel. Said pixel is the actuation method of an image display device of having a switch and the first capacity of one or more pieces which memorize a status signal inputted through said signal line at least beyond time amount predetermined in a form of a charge. An actuation method of an image display device characterized by carrying out the rewrite of the status signal memorized by said first capacity to said first capacity, without minding this signal line according to an instruction of said control section.

[Claim 43] Said first capacity is the actuation method of an image display device according to claim 42 which synchronizes substantially with writing and this reversal data writing reversal data [as opposed to / capacity constituted on both sides of liquid crystal between display common electrodes is included, and / data of last time / rewrite / of a status signal to said first capacity / each time], and is characterized by carrying out reversal actuation also of the common electrode.

[Claim 44] An actuation method of an image display device according to claim 42 characterized by inputting into this amplifier circuit in order two or more status signals which have two or more capacity and one or more amplifier circuits in said each pixel, and are memorized by said two or more capacity.

[Claim 45] Said first capacity is the actuation method of an image display device according to claim 44 characterized by including capacity constituted on both sides of liquid crystal between display common electrodes, and making an output of said amplifier circuit input into the first capacity of the above at the predetermined gap through said switch.

[Claim 46] A time interval at the time of said amplifier circuit inputting a status signal into said first capacity through the above-mentioned switch is the actuation method of an image display device according to claim 45 characterized by differing every 2 times substantially for every status signal.

[Claim 47] An actuation method of an image display device according to claim 45 characterized by synchronizing with said amplifier circuit inputting a status signal into said first capacity briefly through the above-mentioned switch substantially, and carrying out reversal actuation also of said common electrode.

[Claim 48] Writing of two or more status signals to said two or more capacity through said signal line is the actuation method of an image display device according to claim 44 characterized by being made every 1 bit each of status signals to two or more whole pixels by which writing is made.

[Claim 49] An actuation method of an image display device according to claim 42 characterized by writing in a status signal which stops a rewrite to said first capacity in said pixel, instead has an analog thru/or multiple-value voltage through a signal line to said first capacity.

[Claim 50] A display which is characterized by providing the following and which was constituted by two or more pixels, The display signal-processing section which memorizes a status signal incorporated from the outside and performs the data processing further, It has this display, a control section which performs control of this display signal-processing section, and a signal line arranged in this display in order to input a status signal into this pixel. Said pixel An actuation method of an image display device with a switch and the first capacity of one or more pieces for memorizing a status signal inputted through said signal line at least beyond time amount predetermined in a form of a charge The first mode which carries out the rewrite of the status signal memorized by said first capacity to said first capacity, without minding said signal line according to an instruction of said control section Said rewrite to said first capacity is stopped, instead this signal line is minded to this first capacity, and they are an analog thru/or multiple-value voltage.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the image display device in which image display is possible with a low power.

[0002]

[Description of the Prior Art] Two Prior arts are explained using drawing 29 and drawing 30.

[0003] Drawing 29 is the block diagram of the TFT-liquid-crystal display panel which used the Prior art. The pixel 210 which has the liquid crystal capacity 209 is arranged in the shape of a matrix at a display (drawing 29 indicated only one pixel 210 for simplification of a drawing), and the pixel 210 is connected to the signal-line actuation circuit 214 through the gate line actuation circuit 215 and the positive signal line 212, and the negative signal line 213 through the gate line 211 and the alternating current actuation signal line 207. SRAM constituted from an inverter 203 and an inverter 204 by the pixel 210 (Static Random Access Memory) It is prepared and the two data I/O nodes are connected to the positive signal line 212 and the negative signal line 213 through the data entry switch 210,202, respectively. Moreover, this data node is simultaneously connected also to the liquid crystal capacity write-in switch 205,206. The above-mentioned liquid crystal capacity 209 is connected to the alternating current actuation signal line 207 and the reset voltage line 208 through these liquid crystal capacity write-in switches 205,206.

[0004] Hereafter, actuation of this conventional example is explained. When the gate line actuation circuit 215 opens and closes the data entry switch 201,202 of a predetermined pixel line through the gate line 211, the 1-bit complementary image data which the signal-line actuation circuit 214 outputted to the positive signal line 212 and the negative signal line 213 is inputted into SRAM which consisted of the inverters 203 and inverters 204 in a pixel 210. As long as power is supplied, SRAM maintains the inputted 1-bit image data statically after this. Either of the liquid crystal capacity write-in switches 205,206 is turned on, and the voltage of the alternating current actuation signal line 207 or the reset voltage line 208 is selectively impressed to the liquid crystal capacity 209 by the image data written in SRAM. That is, if the alternating current actuation signal line 207 is chosen here, alternating voltage will be impressed to the liquid crystal capacity 209, and whenever the reset voltage line 208 is chosen, voltage will not be impressed to the liquid crystal capacity 209. By this, even if this liquid crystal display panel suspends the data output to the gate line 211 scan by the gate line actuation circuit 215, and the positive signal line 212 and the negative signal line 213 by the signal-line actuation circuit 214, it can continue 1-bit image display.

[0005] Such this conventional technology is indicated in detail by open patent public relations / JP,8-286170,A, for example.

[0006] Next, other Prior arts are explained using drawing 30.

[0007] Drawing 30 is the block diagram of the TFT-liquid-crystal display panel using other Prior arts. The pixel 230 which has liquid crystal capacity between the pixel electrode 224 and a counterelectrode 225 is arranged in the shape of a matrix at a display (drawing 30 indicated only one pixel 230 for simplification of a drawing), and the pixel 230 is connected to the signal-line actuation circuit 234 through the gate line actuation circuit 235 and the signal line 232 through the gate line 231. DRAM (Dynamic Random Access Memory) which consisted of a data entry switch 221 and retention volume 222 is prepared in the pixel 230, and the other end of a data entry switch 221 is connected to the signal line 232. Moreover, the data node of this DRAM is connected to the gate of the pixel actuation switch 223, and the above-mentioned liquid crystal capacity is connected to the common electrode line 233 through the pixel actuation switch 223. In addition, the common electrode line 233 is connected to the common electrode actuation circuit 237, and the counterelectrode 225 is connected to the counterelectrode actuation circuit 236.

[0008] Hereafter, actuation of this conventional example is explained. When the gate line actuation circuit 235 opens

and closes the data entry switch 221 of a predetermined pixel line through the gate line 231, the 1-bit image data which the signal-line actuation circuit 234 outputted to the signal line 232 is inputted into DRAM which consisted of a data entry switch 221 and retention volume 222. The pixel actuation switch 223 will be fixed to ON thru/or an OFF state by the image data written in this DRAM. Since alternating voltage is impressed to a counterelectrode 225 from the counterelectrode actuation circuit 236 here and predetermined voltage is impressed to the common electrode line 233 from the common electrode actuation circuit 237, when the pixel actuation switch 223 is ON, alternating voltage is impressed to the liquid crystal capacity between the pixel electrode 224 and a counterelectrode 225, and when the pixel actuation switch 223 is OFF, voltage always is not impressed to liquid crystal capacity. By this, even if this liquid crystal display panel suspends the gate line 231 scan by the period until the data of DRAM is lost according to leakage current, and the gate line actuation circuit 235, and the data output to the signal line 232 by the signal-line actuation circuit 234, it can continue 1-bit image display. What is necessary is to perform gate line 231 scan by the gate line actuation circuit 235, and data output to the signal line 232 by the signal-line actuation circuit 234 suitably periodically, and just to carry out the rewrite of the DRAM, in order to maintain this image data statically.

[0009] Such this conventional technology is indicated in detail by open patent public relations / JP,9-258168,A, for example.

[0010] Now, according to the above conventional technology, a halt or its count can be reduced for a gate linear scanning or the data output to a signal line, and the power consumption of a TFT-liquid-crystal display panel can be reduced.

[0011]

[Problem(s) to be Solved by the Invention] According to the above-mentioned conventional technology, there was difficulty in fully reconciling a cutback and low-pricing of power consumption.

[0012] In the one-eyed conventional example which prepares SRAM in a pixel, while there is the advantage in which a gate linear scanning and the data output to a signal line are suspended thoroughly, and power consumption can be reduced greatly, since there are many transistor counts, SRAM has the trouble that pixel structure will become complicated inevitably. Since the yield will fall inevitably if pixel structure is complicated, this will cause a price hike of an image display device.

[0013] In the second conventional example which prepares DRAM in a pixel on the other hand, since there are few transistor counts, pixel structure becomes simple, and DRAM has the advantage in which price reduction of the image display device by improvement in the yield is expectable. However, it has the trouble that neither the according [DRAM] to gate line actuation circuit 235 theoretically on the other hand since rewrite (refresh) is required gate linear scanning, nor data output to the signal line by the signal-line actuation circuit 234 can be suspended thoroughly. Since only the count of the number of pixels needs to input data into a signal line with comparatively large parasitic capacitance in the writing of the whole display surface especially about the data output to a signal line, it becomes a problem when aiming at the cutback of power consumption more. Furthermore, it will be necessary to hold the image display data for a rewrite to somewhere besides a display, and it will cause the power consumption and the increase in cost for it.

[0014] Furthermore, for every pixel, the above-mentioned conventional technology is examined on the assumption that 1-bit image data display, but although a cutback and low-pricing of power consumption are attained, it cannot be overemphasized that the image data display of many bits is more desirable.

[0015]

[Means for Solving the Problem] According to one embodiment of this application, a technical problem that a cutback and low-pricing of power consumption are reconciled With a display constituted by two or more pixels, a control section which performs control of a display, and an image display device which has a signal line arranged in a display in order to input a status signal into a pixel A pixel has a switch and the first capacity of one or more pieces for memorizing a status signal inputted through a signal line at least beyond time amount predetermined in a form of a charge. It is solvable by having a means which carries out the rewrite of the status signal furthermore memorized by the first capacity to the first capacity, without minding a signal line according to an instruction of a control section.

[0016] Furthermore, a technical problem that image data of many bits is displayed in addition to this is solvable by preparing two or more capacity more than an individual ($n+1$) for memorizing a n-bit status signal beyond time amount predetermined in a form of a charge in each above-mentioned pixel.

[0017] Moreover, by forming a charge transfer device (CTD, Charge Transfer Device) in each above-mentioned pixel, much more low-pricing can be attained by attaining further simplification of pixel structure.

[0018] Moreover, or the above-mentioned technical problem that a cutback and low-pricing of power consumption are reconciled A display constituted by two or more pixels and the display signal-processing section which memorizes a

status signal incorporated from the outside and performs the data processing further, In an image display device which has a display, a control section which performs control of the display signal-processing section, and a signal line arranged in a display in order to input a status signal into a pixel A pixel has a switch and the first capacity of one or more pieces for memorizing at least a status signal inputted through a signal line beyond time amount predetermined in a form of a charge. It is solvable by having a means which carries out the rewrite of the status signal furthermore memorized by the first capacity to the first capacity, without minding a signal line according to an instruction of a control section.

[0019] Moreover, or the above-mentioned technical problem that a cutback and low-pricing of power consumption are reconciled In an image display device which has a display constituted by two or more pixels, a control section which performs control of a display, and a signal line arranged in a display in order to input a status signal into a pixel A pixel has a switch and the first capacity of one or more pieces for memorizing at least a status signal inputted through a signal line beyond time amount predetermined in a form of a charge. It is solvable by using an actuation method which carries out the rewrite of the status signal memorized by the first capacity to the first capacity, without minding a signal line according to an instruction of a control section.

[0020] Moreover, or the above-mentioned technical problem that a cutback and low-pricing of power consumption are reconciled A display constituted by two or more pixels and the display signal-processing section which memorizes a status signal incorporated from the outside and performs the data processing further, In an image display device which has a display, a control section which performs control of the display signal-processing section, and a signal line arranged in a display in order to input a status signal into a pixel A pixel has a switch and the first capacity of one or more pieces for memorizing at least a status signal inputted through a signal line beyond time amount predetermined in a form of a charge. The first mode which carries out the rewrite of the status signal memorized by the first capacity to the first capacity, without minding a signal line according to an instruction of a control section, Stop the above-mentioned rewrite to the first capacity, instead a signal line is minded to the first capacity. It has the second mode which writes in a status signal which has an analog thru/or multiple-value voltage, and can solve by using an actuation method of reducing power consumption of the display signal-processing section in the first mode of the above rather than power consumption of the display signal-processing section in the second mode of the above.

[0021]

[Embodiment of the Invention] (Example 1) The example 1 of this invention is explained using drawing 1 - drawing 10 below.

[0022] The whole introduction this example configuration is described.

[0023] Drawing 1 is poly which is this example. It is the block diagram of Si-TFT-liquid-crystal display panel.

[0024] The pixel 10 which has the liquid crystal capacity 5 is arranged in the shape of a matrix at a display (drawing 1 indicated only six pixels 10 for simplification of a drawing), and the pixel 10 is connected to the signal-line actuation circuit 14 through the gate line actuation circuit 15 and the signal line 12 through the gate line 11. DRAM (Dynamic Random Access Memory) which consisted of a data entry switch 1 and liquid crystal capacity 5 is prepared in the pixel 10, and the other end of a data entry switch 1 is connected to the signal line 12. Moreover, the data-hold node of this DRAM was inputted into BBD (Bucket Brigade Device)2 mentioned later, and the output of BBD is further inputted into the data-hold node of DRAM again through an inverter 3 and the rewrite switch 4. In addition, BBD2 of each pixel is connected to the 1st drive wire 8 of BBD, and the 2nd drive wire 9 of BBD in common. Moreover, the above structure is established on the glass substrate 6.

[0025] Hereafter, the outline of actuation of this example is explained.

[0026] When the gate line actuation circuit 15 opens and closes the data entry switch 1 of a predetermined pixel line through the gate line 11, the image data which the signal-line actuation circuit 14 outputted to the signal line 12 is inputted into DRAM which consists of a data entry switch 1 and liquid crystal capacity 5 for every bit. By the image data written in this DRAM, the liquid crystal capacity 5 can display an image. Next, the image data written in this DRAM is read for every bit into BBD by BBD2 driven with the 1st drive wire 8 of BBD, and the 2nd drive wire 9 of BBD. The display of a triplet is possible for each pixel in this example using two or more memory prepared in the pixel, and it can carry out sequential recording of a maximum of 3-bit image data at BBD so that it may mention later. The image data accumulated in BBD is again written in DRAM which consists of liquid crystal capacity 5 through an inverter 3 and the rewrite switch 4 one by one next. Although this is equivalent to refresh of DRAM data, "H" and the value of "L" reverse the image data at this time by work of an inverter 3. Then, by making it synchronize with this rewrite and carrying out reversal actuation of the liquid crystal common electrode (not shown), the alternating current actuation over liquid crystal is realizable.

[0027] Image display of a triplet can be performed with an easy pixel configuration, this example being periodically

refreshed for the data of DRAM by adopting above configurations and actuation. In spite of having adopted the DRAM circuit simple as memory in a pixel in this example, the rewrite of the image data from the outside is unnecessary, and does not need to drive a signal line 12 for refresh.

[0028] Next, the detailed structure of the pixel containing BBD in this example and its actuation are explained.

[0029] Drawing 2 is internal configuration drawing of the pixel 10 in this example.

[0030] DRAM which consisted of a data entry switch 1 and liquid crystal capacity 5 is prepared in the pixel 10, and the other end of a data entry switch 1 is connected to the signal line 12. 36 is a liquid crystal common electrode here. BBD2 of the triplet which the data-hold node of this DRAM inputs consists of the data transfer section which consists of switches 20a, 22a, 20b, 22b, 20c, and 22c and capacity 21a, 23a, 21b, 23b, 21c, and 23c, and the data output section which consists of the output gate 24 and a reset switch 34. The output of BBD2 was inputted into the CMOS (Complementary MOS) inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26, and the output is further inputted into the data-hold node of DRAM again through the rewrite switch 4. Switches 20a, 20b, and 20c and capacity 21a, 21b, and 21c are connected to the 1st drive wire 8 of BBD, and, as for each switch and capacity of BBD2, Switches 22a, 22b, and 22c and capacity 23a, 23b, and 23c are connected to the 2nd drive wire 9 of BBD, respectively. Moreover, the output gate 24 and the gate of a reset switch 34 and the rewrite switch 4 are connected to the output gate line 25, the reset gate line 35, and the rewrite gate line 31, respectively. In addition, the high-tension side edge child of the drain of a reset switch 34 and CMOS inverter 3 is connected to 10V power supply line 29, and the low-battery side edge child of CMOS inverter 3 is connected to 5V power supply line 28.

[0031] Hereafter, actuation of the pixel in this example is explained.

[0032] In this example, in the condition of not operating BBD, namely, not using pixel memory, since the multiple value in the real time which can respond to a cine mode display thru/or the analog display are possible, this is explained first.

[0033] As mentioned above, when the gate line actuation circuit 15 opens and closes the data entry switch 1 of a predetermined pixel line through the gate line 11, the image data which the signal-line actuation circuit 14 outputted to the signal line 12 is inputted into the liquid crystal capacity 5 through a data entry switch 1. Needless to say, the rewrite switch 4 is still off by the re-write-in gate line 31 here. The image data writing of this condition is the same as that of a very common TFT-liquid-crystal display, and the image display of a multiple value thru/or an analog is possible for it irrespective of selection of direct-current actuation of a liquid crystal common electrode, or alternating current actuation. In addition, in this case, in order to reduce power consumption, it is desirable to drop 10V power supply line 29 and 5V power supply line 28 on this voltage. Moreover, as for the 1st drive wire 8 of BBD, and the 2nd drive wire 9 of BBD, it is desirable to always turn off, when avoiding the parasitic effect of BBD.

[0034] Next, write-in actuation of the triplet digital image data to a pixel is described below using drawing 3 - drawing 6.

[0035] Drawing 3 is the actuation wave of the gate line 11 (i expresses the line number of a gate line) of each line when making the number of pixels at the time of writing in the digital pixel data for 1 bit over all pixels into m lines, the signal line 12 of arbitration, the liquid crystal common electrode 36, and the 1st drive wire 8 of BBD. In addition, in each drawing in this description, an actuation wave makes [which it is, and is carried out and is expressed with a low battery] ON thru/or high tension, and the bottom off for a top. On the occasion of the writing of the pixel data for 1 bit, the 1st drive wire 8 of BBD is turned on first, and the data entry switch of each line subsequently to the gate line 11 scanned carries out sequential ON, and goes. At this time, image data is inputted into a signal line 12 later than the driving pulse of the gate line 11 a little. By the above actuation, the writing of the pixel data for 1 bit to all the pixels scanned by the gate line 11 is completed. In addition, the voltage of the liquid crystal common electrode 36 takes constant value at this time.

[0036] Next, the actuation of a pixel at the time of writing in the digital pixel data for a triplet is explained.

[0037] Drawing 4 is the actuation wave of the 1st drive wire 8 of BBD in this case, the 2nd drive wire 9 of BBD, the reset gate line 35, and the rewrite gate line 31. Moreover, drawing 5 and drawing 6 show each [of a-g which were shown in drawing 4] channel potential of BBD at the event. Here, the bottom of potential is positive. In addition, the channel potential in Switches 20a, 22a, 20b, 22b, 20c, and 22c and the output gate 24 was illustrated as 20ap(s), 22ap, 20bp, 22bp, 20cp, 22cp, and 24p, respectively. moreover, the signal charge (here electron) to which A, B, and C express the image data of the triplet in a pixel, respectively -- it is --" of data -- as for L "/" H", this signal charge exists -- it is distinguished without doing /existence of. However, for explanation, it has dared fill in the signal charge of A, B, and C altogether all over drawing.

[0038] Hereafter, sequential explanation of the change of each [of a-g which were shown in drawing 4] actuation wave at the event, and the channel potential of BBD is given using drawing 5 and drawing 6. In addition, in case it lets the period of a-g pass and the digital pixel data for a triplet is read, the rewrite switch 4 driven by the rewrite gate line 31 is

turned off, and always intercepts the rewrite from inverter 3 output to the liquid crystal capacity 5 at the same time the reset switch 34 driven by the reset gate line 35 continues clearing the charge outputted from BBD by the ON state. [0039] Reading of the digital pixel data for 1 bit from a signal line 12 to into [BBD2] a pixel is explained using introduction drawing 4 and drawing 5 abc.

[0040] a): The 1st drive wire 8 of BBD has ON and the 1st off drive wire 9 of BBD, and it is equivalent to the write-in timing of the 1-bit image data to each pixel explained using drawing 3. Since switch 20a is ON at this time, when the gate line 11 turns on, the signal charge A inputted through the data entry switch 1 from the signal line 12 is inputted and held besides the liquid crystal capacity 5 also at capacity 21a.

[0041] b): When the 1st drive wire 8 of BBD carries out a turn-off, switch 20a turns off and a signal charge A is shut up between two potential barriers of 20ap(s) and 22ap.

[0042] c): When the 2nd drive wire 9 of BBD carries out a turn-on, a signal charge A moves to capacity 23a through switch 22a, and is shut up between two potential barriers of 22ap and 20bp.

[0043] Next, reading of the digital pixel data for continuing 2 bits is explained using drawing 4 and drawing 6 defg.

[0044] d): The 1st drive wire 8 of BBD has ON and the 2nd off drive wire 9 of BBD, and it is equivalent to the write-in timing of the 1-bit image data to each pixel again explained using drawing 3. Since switch 20a is ON at this time, when the gate line 11 turns on, the signal charge B inputted through the data entry switch 1 from the signal line 12 is inputted and held besides the liquid crystal capacity 5 also at capacity 21a. Simultaneously, a signal charge A moves to capacity 21b through switch 20b, and is shut up between two potential barriers of 20bp and 22bp.

[0045] e): The 1st drive wire 8 of BBD is OFF, the 2nd drive wire 9 of BBD is ON, and a signal charge B moves to capacity 23a through switch 22a, and is shut up between two potential barriers of 22ap and 20bp. Simultaneously, a signal charge A moves to capacity 23b through switch 22b, and is shut up between two potential barriers of 22bp and 20cp.

[0046] f): The 1st drive wire 8 of BBD has ON and the 2nd off drive wire 9 of BBD, and it is equivalent to the write-in timing of the 1-bit image data to each pixel again explained using drawing 3. Since switch 20a is ON at this time, when the gate line 11 turns on, the signal charge C inputted through the data entry switch 1 from the signal line 12 is inputted and held besides the liquid crystal capacity 5 also at capacity 21a. Simultaneously, a signal charge B moves to capacity 21b through switch 20b, and is shut up between two potential barriers of 20bp and 22bp. Simultaneously, a signal charge A moves to capacity 21c through switch 20c, and is shut up between two potential barriers of 20cp and 22cp.

[0047] g): The 1st drive wire 8 of BBD is OFF, the 2nd drive wire 9 of BBD is ON, and a signal charge C moves to capacity 23a through switch 22a, and is shut up between two potential barriers of 22ap and 20bp. Simultaneously, a signal charge B moves to capacity 23b through switch 22b, and is shut up between two potential barriers of 22bp and 20cp. Simultaneously, a signal charge A moves to capacity 23c through switch 22c, and is shut up between two potential barriers of 22cp and 24p.

[0048] Reading to the pixel of the digital pixel data for a triplet is completed above. In addition, although it is unclear in drawing 5 and drawing 6, the capacity value of capacity 23c is larger than other BBD capacity 21a, 23a, 21b, 23b, and 21c, and is designed the twice [about] of other BBD capacity by this example. About this, explanation of drawing 8 is described again.

[0049] Next, the display and rewrite actuation of triplet digital image data in a pixel are described below using drawing 7 - drawing 9.

[0050] Drawing 7 is the actuation wave of the 1st drive wire 8 of BBD in the case of the display of the triplet digital image data in a pixel, and rewrite actuation, the 2nd drive wire 9 of BBD, the reset gate line 35, and the rewrite gate line 31. Moreover, drawing 8 shows each [of h-1 which were shown in drawing 7] channel potential of BBD at the event. Here, the bottom of potential is positive. In addition, the channel potential in Switches 20a, 22a, 20b, 22b, 20c, and 22c and the output gate 24 was illustrated like drawing 5 and drawing 6 as 20ap(s), 22ap, 20bp, 22bp, 20cp, 22cp, and 24p, respectively. moreover, the signal charge to which A, B, and C express the image data of the triplet in a pixel, respectively -- it is --" of data -- as for L "/" H", this signal charge exists -- it is distinguished without doing /existence of. Moreover, if a signal charge exists in A since /A means the reversal signal of A for example, a signal charge will not exist in /A. However, for explanation, like A, B, and C in drawing, it has expressed here as if the signal charge of /A also dared exist.

[0051] Hereafter, sequential explanation of the change of each [of h-1] actuation wave at the event and the channel potential of BBD is given using drawing 7 and drawing 8, respectively. In addition, it lets the period of h-1 pass, and the gate line 11 and the data entry switch 1 controlled by this are always turned off, and direct current voltage is impressed or grounded so that power may not be consumed to a signal line 12.

[0052] h): The 1st drive wire 8 of BBD is OFF, the 2nd drive wire 9 of BBD is ON, and it is the same as that of the

condition of g in drawing 6 . Between two potential barriers of 22ap(s) and 20bp, a signal charge B is shut up between two potential barriers of 22bp(s) and 20cp, and the signal charge A is shut up for the signal charge C between two potential barriers of 22cp and 24p.

[0053] i): Next, a reset switch 34 turns off by the reset gate line 35, the input terminal of an inverter 3 serves as floating, and when the 2nd drive wire 9 of BBD subsequently carries out a turn-off, a signal charge A is inputted into the input terminal of an inverter 3 exceeding potential barrier 24p of the output gate 24. Now, since fixed voltage is always impressed to the output gate line 25 here, caution is required for potential barrier 24p to also take constant value. Although constant value is given to potential barrier 24p for not enlarging the voltage value in the outgoing end of BBD, as a result, the potential amplitude of capacity 23c will become smaller than that of other BBD capacity. In order to prevent signal-charge overflow from capacity 23c at this time, it is necessary to make capacity value of capacity 23c larger than other BBD capacity. For this reason, in this example, it is as having stated previously to have designed the capacity value of capacity 23c the twice [about] of other BBD capacity. Now, by the input to the inverter 3 of a signal charge A, an inverter 3 outputs the reversal output / A of a signal charge A. That is, since it is 10V in the condition that the input of an inverter 3 was reset if, as for the output, the charge of 10V and A did not exist since the input voltage of an inverter 3 was set to about 6 V when the charge of A existed, an output is 5V. When the rewrite switch 4 turns on by the rewrite gate line 31 following on this, the output voltage of this inverter 3 is impressed and displayed on the input edge of the liquid crystal capacity 5 and BBD2.

[0054] j): Since switch 20a is ON at this time when the 1st drive wire 8 of BBD next carries out a turn-on, the signal charge/A inputted through the rewrite switch 4 from the inverter 3 are inputted also into capacity 21a besides the liquid crystal capacity 5. Simultaneously, a signal charge C moves to capacity 21b through switch 20b, and is shut up between two potential barriers of 20bp and 22bp. Simultaneously, a signal charge B moves to capacity 21c through switch 20c, and is shut up between two potential barriers of 20cp and 22cp.

[0055] k): When the 1st drive wire 8 of BBD turns off, switch 20a goes out and a signal charge/A is shut up between two potential barriers of 20ap(s) and 22ap. Subsequently, when the rewrite switch 4 turns off by the rewrite gate line 31, the output of an inverter 3 is separated from the liquid crystal capacity 5, and the liquid crystal capacity 5 continues holding the display output corresponding to a signal charge/A. When a reset switch 34 turns on by the reset gate line 35 after that, a signal charge A is reset and the input of an inverter 3 returns to 10V again.

[0056] l): When the 2nd drive wire 9 of BBD turns on, a signal charge/A moves to capacity 23a through switch 22a, and is shut up between two potential barriers of 22ap and 20bp. Simultaneously, a signal charge C moves to capacity 23b through switch 22b, and is shut up between two potential barriers of 22bp and 20cp. Furthermore, simultaneously, a signal charge B moves to capacity 23c through switch 22c, and is shut up between two potential barriers of 22cp and 24p. This condition is in the condition in which 1 bit of signal charges advanced at a time from the condition of h spread previously.

[0057] A low power can perform within a pixel, without minding the signal line 12 with big parasitic capacitance for the rewrite actuation in which it is simultaneously equivalent to refresh of DRAM, indicating the output corresponding to [by repeating the above h-1] triplet digital image data in this example by sequential. In addition, in this example, applied voltage [as opposed to / whenever the signal of a triplet goes around a data loop and a rewrite is carried out to the liquid crystal capacity 5 / the liquid crystal common electrode 36] is reversed. It is as explanation of drawing 1 having already described to have realized alternating current actuation of the liquid crystal capacity 5 by this.

[0058] Now, only 4 gradation can be displayed even if it indicates the digital image data of a triplet by the repeat at a fixed speed simply. So, in this example, 23= 8 gradation is displayed by changing the display period of three bit data every 2 times, and giving time weight. This situation is explained using drawing 9 .

[0059] Drawing 9 is the display sequence of the image data of a triplet in the one-frame period of this example. The one-frame period consists of the 2 fields, and the applied voltage to the liquid crystal common electrode 36 is reversed among both. Now, within each field period, three bit data are displayed in a display period different every 2 times, respectively. Specifically, the 1st (LSB:Least Significant Bit) bit is [2/7 and the triplet eyes (MSB:Most Significant Bit) of 1 of each field period / the 7 or 2nd bit] four sevenths of periods. This relation is expressed with the following formulas when this is set with the bit [i-th] display period in the case of n fatbits.

[0060]

[Equation 1]

$$Ti = Tf \times \{2(i-1)\} \text{ (formula 1)} / (2n-1)$$

However, Ti is the bit [i-th] display period, and Tf is 1 field period.

[0061] In addition, 1 field period is the one half of an one-frame period, and, as for these periods, it is desirable to be set as frequency which is not attached to the flicker eye resulting from alternating-voltage actuation of liquid crystal or the

gradation display of liquid crystal. For example, frame frequency was set to 60Hz in this example.

[0062] In addition, although the liquid crystal common electrode 36 actuation wave was adjusted with the one-frame period in this example as shown in drawing 9, this may carry out reversal actuation for every bit. in this case -- for example, -- liquid crystal -- common -- an electrode -- 36 -- actuation -- a wave -- a period -- T3 -- " -- H" -- T -- two -- " -- L -- " -- T -- one -- " -- H" -- a degree -- T3 -- " -- L -- " -- T -- two -- " -- H" -- T -- one -- "L" -- like -- changing . According to such actuation, there is an advantage that a flicker stops being able to be conspicuous very more easily comparatively long in an one-frame period.

[0063] Next, each switch and the concrete device structure of BBD in this example are explained using drawing 10.

[0064] Drawing 10 is some cross sections of the pixel in this example. On the glass substrate 6, the polycrystal Si (poly-Si) film 41 is formed on both sides of the buffer film 40, and electrodes 42, 43, 44, 45, and 46 and an insulator layer 47 are further formed on the poly-Si film 41. It is here, and in the gate electrode of switch 20a of BBD2, and the electrode 44, the up electrode of capacity 21a of BBD2 and an electrode 45 constitute the gate electrode of switch 22a of BBD2, and the electrode 46 constitutes [the electrode 42 / the gate electrode of a data entry switch 1, and the electrode 43] the up electrode of capacity 23a of BBD2. The signal line 12 and the pixel electrode 48 are formed in the ends of a data entry switch 1, and the orientation film 49 is further formed on these. On the other hand, a light filter 54 and the protection-from-light film 53 are formed in the opposite glass substrate 55, and the transparent liquid crystal common electrode 36 and the orientation film 51 which used ITO (Indium Tin Oxide) are prepared on these. Between the opposite glass substrates 55, the liquid crystal layer 50 containing the liquid crystal molecule 52 is enclosed the glass substrate 6 top here, and, thereby, the liquid crystal capacity 5 is formed between the pixel electrode 48 and the liquid crystal common electrode 36.

[0065] A data entry switch 1 is poly-Si TFT (Thin-Film-Transistor) here so that clearly. It is constituted and the data entry switch 1 and the channel of BBD2 are formed with the same poly-Si thin film. Furthermore, a data entry switch 1 and the electrodes 42, 43, 44, 45, and 46 of BBD2 are formed by each in the same electric conduction electrode layer. In this example, simplification and low-cost-izing of a manufacture process are realized by attaining communalization of a data entry switch 1 and the component of BBD2 in this way. In addition, the same threshold voltage (Vth) is given to the channel under the gate of a data entry switch 1 and Switches 20a, 22a, 20b, 22b, 20c, and 22c according to the same impurity introduction process, and the high concentration impurity is introduced into the poly-Si layer in capacity 21a, 23a, 21b, 23b, 21c, and 23c for depletion-ized evasion.

[0066] In addition, the pixel electrode 48 has extended for using the pixel electrode 48 as a reflector to outdoor daylight on BBD2, and it can also give the dispersion nature to incident light by forming irregularity in this front face further if needed. By adopting the above structure, the liquid crystal display of a reflective mold is possible for this example. Moreover, although not shown in drawing, this pixel electrode 48 has covered the abbreviation one half of the whole pixel surface, and the remaining one half has changed to the transparent electrode which used ITO. Predetermined back light equipment (not shown) is formed under the glass substrate 6, and the liquid crystal display of a transparency mold makes this equipment possible similarly by making arbitration turn this on.

[0067] Now, in this example stated above, a lot of modification is possible in the range which does not spoil the main point of this invention. For example, although the glass substrate 6 was used for the TFT substrate in this example, it is also possible to change this into transparency insulating substrates, such as a quartz substrate and a transparency plastic plate, and it is also possible to stop the liquid crystal display of a transparency mold and to specialize only in a reflective mold display, and it is also possible to use an opaque substrate further in that case.

[0068] Or by this example, nMOS was used for the data entry switch 1 grade about TFT or BBD, and if modification if needed in an actuation signal wave form is given, it is also clearly possible to change these into pMOS, CMOS, etc. It cannot be overemphasized that it is not necessary about an inverter 3 to restrict to a CMOS inverter which was used here.

[0069] In this example, simplification and low-cost-izing of a manufacture process are realized by forming each of data entry switches 1, and the channels and electrodes of BBD2 in the same process, as stated previously, and attaining communalization of a data entry switch 1 and the component of BBD2. However, in order to acquire the effect made into the object of this invention, it is not necessary to necessarily attain communalization of each of these components.

[0070] Moreover, in explanation of this example, it has not dared make reference about the number of pixels, panel size, etc. Especially this is because this invention is not what is restricted to these spec. thru/or formats. Moreover, although the display engine performance at the time of using DRAM pixel memory this time was designed to triplet 8 gradation, if only this invention changes the channel number of stages of BBD2, it is not especially restricted to the specific number of bits. Moreover, it cannot be overemphasized that the suitable value changes by layout of a liquid crystal material, the driving method, and an external voltage source etc. also about the driver voltage of the pixel section.

[0071] The above various modification is fundamentally the same also in the example of not only this example but following others.

(Example 2) The example 2 of this invention is hereafter explained using drawing 11 - drawing 17.

[0072] The whole this example configuration and its actuation are fundamentally [as the example 1 explained using drawing 1] the same, if the point that the configuration and its actuation method of BBD 2 (Bucket Brigade Device) differ from each other is removed. Therefore, the publication of a whole configuration and its actuation is omitted here, and a pixel is explained below focusing on BBD which is the feature of this example.

[0073] The detailed structure of the pixel 10 which contains BBD in this example below, and its actuation are explained.

[0074] Drawing 11 is internal configuration drawing of the pixel in this example.

[0075] DRAM which consisted of a data entry switch 1 and liquid crystal capacity 5 is prepared in the pixel 10, and the other end of a data entry switch 1 is connected to the signal line 12. 36 is a liquid crystal common electrode here. BBD for accumulating 3 bit data which the data-hold node of this DRAM inputs consists of the data transfer section which consists of switches 60a, 62a, 60b, and 62b and capacity 61a, 63a, 61b, and 63b, and the data output section which consists of the output gate 24 and a reset switch 34. The output of BBD was inputted into the CMOS (Complementary MOS) inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26, and the output is again inputted into the data-hold node of DRAM through the rewrite switch 4. in addition, here -- each switch and capacity of BBD -- an example 1 -- differing -- switch 60a and capacity 61a -- the 1st phase drive wire 64 of BBD -- switch 60b and capacity 61b resemble the 3rd phase drive wire 66 of BBD, switch 62b and capacity 63b resemble the 4th phase drive wire 67 of BBD, and switch 62a and capacity 63a are connected to the 2nd phase drive wire 65 of BBD, respectively. The output gate 24 and the gate of a reset switch 34 and the rewrite switch 4 are connected to the output gate line 25, the reset gate line 35, and the rewrite gate line 31, respectively. In addition, the high-tension terminal of the drain of a reset switch 34 and CMOS inverter 3 is connected to 10V power supply line 29, and the low-battery terminal of CMOS inverter 3 is connected to 5V power supply line 28.

[0076] Hereafter, actuation of the pixel in this example is explained.

[0077] Also in this example, in the condition of not operating BBD, namely, not using pixel memory, since the usual multiple value thru/or actuation of an analog display are the same as that of the first example, explanation is omitted here. In addition, in order to reduce power consumption, it is [that what is necessary is just to always turn off the re-write-in switch 4 by the re-write-in gate line 31] desirable, when not using pixel memory to drop 10V power supply line 29 and 5V power supply line 28 on this voltage. Moreover, as for the 1st phase drive wire 64 of BBD, the 2nd phase drive wire 65 of BBD, the 3rd phase drive wire 66 of BBD, and the 4th phase drive wire 67 of BBD, it is desirable to always turn off, when avoiding the parasitic effect of BBD.

[0078] Next, write-in actuation of the triplet digital image data to a pixel is described below using drawing 12 - drawing 15.

[0079] Drawing 12 is the actuation wave of the gate line 11 of each line when making the number of pixels at the time of writing in the digital pixel data for 1 bit to all pixels into m lines, the signal line 12 of arbitration, the liquid crystal common electrode 36, and the 1st phase drive wire 64 of BBD. In addition, in the drawing in this description, an actuation wave makes [which it is, and is carried out and is expressed with a low battery] ON thru/or high tension, and the bottom off for a top. On the occasion of the writing of the pixel data for 1 bit, the 1st phase drive wire 64 of BBD is turned on first, and the data entry switch of each line subsequently to the gate line 11 scanned carries out sequential ON, and goes. At this time, image data is inputted into a signal line 12 later than the driving pulse of the gate line 11 a little. By the above actuation, the writing of the pixel data for 1 bit to all the pixels scanned by the gate line 11 is completed.

[0080] Next, the actuation of a pixel at the time of reading the digital pixel data for a triplet is explained.

[0081] Drawing 13 is the actuation wave of the gate line 11 of the arbitration in this case, the 1st phase drive wire 64 of BBD, the 2nd phase drive wire 65 of BBD, the 3rd phase drive wire 66 of BBD, the 4th phase drive wire 67 of BBD, the reset gate line 35, and the rewrite gate line 31. Moreover, drawing 14 and drawing 15 show each [of i-ix which were shown in drawing 13] channel potential of BBD at the event. Here, the bottom of potential is positive. In addition, the channel potential in Switches 60a, 62a, 60b, and 62b and the output gate 24 was illustrated as 60ap(s), 62ap, 60bp, 62bp, and 24p, respectively. moreover, the signal charge to which A, B, and C express the image data of the triplet in a pixel, respectively -- it is --" of data -- as for L "/" H", this signal charge exists -- it is distinguished without doing /existence of. However, for explanation, it has dared fill in the signal charge of A, B, and C altogether all over drawing.

[0082] Hereafter, sequential explanation of the change of each [of i-ix which were shown in drawing 13] actuation wave at the event, and the channel potential of BBD is given using drawing 14 and drawing 15. In addition, in case it lets the period of i-ix pass and the digital pixel data for a triplet is read, the rewrite of inverter 3 output is intercepted at

the same time the rewrite switch 4 always driven by ON and the rewrite gate line 31 is turned off and the reset switch 34 driven by the reset gate line 35 continues clearing the charge outputted from BBD.

[0083] Reading of the digital pixel data for 1 bit from a signal line 12 to BBD in a pixel is explained using introduction drawing 13 and drawing 14 iiiiiiv.

[0084] i) The 1st phase drive wire 64 of :BBD has ON and the off BBD 2nd, 3, and 4 phase drive wires 65, 66, and 67, and it is equivalent to the write-in timing of the 1-bit image data to each pixel explained using drawing 12 . Since switch 60a is ON at this time, when the gate line 11 turns on, the signal charge A inputted through the data entry switch 1 from the signal line 12 is inputted also into capacity 61a besides the liquid crystal capacity 5, and is held.

[0085] ii) When the 1st phase drive wire 64 of :BBD carries out a turn-off, switch 60a turns off and a signal charge A is shut up between two potential barriers of 60ap(s) and 62ap.

[0086] iii: When the 2nd phase drive wire 65 of BBD carries out a turn-on, a signal charge A moves to capacity 63a through switch 62a, and is shut up between two potential barriers of 62ap and 60bp. In addition, although sequential turning on and off of BBD4th and the three-phase-circuit drive wires 67 and 66 is carried out actually in the meantime, the charge which remains in BBD sweeps this out, it is for **, and since it is unrelated to reading of a signal charge A, the explanation is omitted here.

[0087] iv) When the 2nd phase drive wire 65 of :BBD carries out a turn-off, switch 62a turns off. A signal charge A is shut up between two potential barriers of 62ap(s) and 60bp.

[0088] Next, reading of the digital pixel data for continuing 2 bits is explained using drawing 13 and drawing 15 vvi vii viii ix.

[0089] v) The 1st phase drive wire 64 of :BBD has ON and the off BBD 2nd, 3, and 4 phase drive wires 65, 66, and 67, and it is equivalent to the write-in timing of the 1-bit image data to each pixel again explained using drawing 12 . Since switch 60a is ON at this time, when the gate line 11 turns on, the signal charge B inputted through the data entry switch 1 from the signal line 12 is inputted and held besides the liquid crystal capacity 5 also at capacity 61a. A signal charge A is shut up between two potential barriers of 62ap(s) and 60bp.

[0090] vi) The 3rd phase drive wire 66 of :BBD is ON, and other BBD 1st, 2, and 4 phase drive wires 64, 65, and 67 have it. [off] At this time, the signal charge B is shut up between two potential barriers of 60ap(s) and 62ap. A signal charge A moves to capacity 61b through switch 60b, and is shut up between two potential barriers of 60bp and 62bp.

[0091] vii: The 2nd phase drive wire 65 of BBD is ON, and other BBD 1st, 3, and 4 phase drive wires 64, 66, and 67 have it. [off] At this time, a signal charge B moves to capacity 63a through switch 62a, and is shut up between two potential barriers of 62ap and 60bp. On the other hand, a signal charge A is shut up between two potential barriers of 60bp and 62bp.

[0092] viii: The 1st phase drive wire 64 of BBD has ON and the off BBD 2nd, 3, and 4 phase drive wires 65, 66, and 67, and it is equivalent to the write-in timing of the 1-bit image data to each pixel again explained using drawing 12 . Since switch 60a is ON at this time, when the gate line 11 turns on, the signal charge C inputted through the data entry switch 1 from the signal line 12 is inputted and held besides the liquid crystal capacity 5 also at capacity 61a. A signal charge B is shut up between two potential barriers of 62ap(s) and 60bp. A signal charge A is shut up between two potential barriers of 60bp(s) and 62bp.

[0093] ix) The 4th phase drive wire 67 of :BBD is ON, and other BBD1st, 2, and the three-phase-circuit drive wires 64, 65, and 66 have it. [off] At this time, the signal charge C is shut up between two potential barriers of 60ap(s) and 62ap. A signal charge B is shut up between two potential barriers of 62ap(s) and 60bp. A signal charge A moves to capacity 63b through switch 62b, and is shut up between two potential barriers of 62bp and 24p.

[0094] Reading to the pixel of the digital pixel data for a triplet is completed above. In addition, the capacity value of capacity 63b is larger than other BBD capacity, and being designed the twice [about] of other BBD capacity is the same as that of capacity 23c of an example 1 at this example.

[0095] Next, the display and rewrite actuation of triplet digital image data in a pixel are explained below using drawing 16 and drawing 17 .

[0096] Drawing 16 is the actuation wave of the 1st phase drive wire 64 of BBD in the case of the display of the triplet digital image data in a pixel, and rewrite actuation, the 2nd phase drive wire 65 of BBD, the 3rd phase drive wire 66 of BBD, the 4th phase drive wire 67 of BBD, the reset gate line 35, and the rewrite gate line 31. Moreover, drawing 17 is x-xiv shown in drawing 16 . Each channel potential of BBD at the event is shown. Here, the bottom of potential is positive. In addition, the channel potential in Switches 60a, 62a, 60b, and 62b and the output gate 24 was illustrated like drawing 14 and drawing 15 as 60ap(s), 62ap, 60bp, 62bp, and 24p, respectively. moreover, the signal charge to which A, B, and C express the image data of the triplet in a pixel, respectively -- it is --" of data -- as for L "/" H", this signal charge exists -- it is distinguished without doing /existence of. Moreover, if a signal charge exists in A since /A means

the reversal signal of A for example, a signal charge will not exist in /A. However, for explanation, like A, B, and C in drawing, it has expressed here as if the signal charge of /A also dared exist.

[0097] The following and x-xiv Sequential explanation of the change of each actuation wave at the event and the channel potential of BBD is given using drawing 16 and drawing 17, respectively. In addition, it lets the period of x-xiv pass, and the gate line 11 and the data entry switch 1 controlled by this are always turned off, and direct current voltage is impressed or grounded so that power may not be consumed to a signal line 12.

[0098] x) The 4th phase drive wire 67 of :BBD is ON, ON and the write-in gate line 31 of OFF and the reset gate line 35 are off, and this condition of other BBD1st, 2, and the three-phase-circuit drive wires 64, 65, and 66 is the same as the condition of ix described previously. At this time, the signal charge C is shut up between two potential barriers of 60ap (s) and 62ap. The signal charge B is shut up between two potential barriers of 62ap(s) and 60bp. The signal charge A is shut up between two potential barriers of 62bp(s) and 24p. The input edge of an inverter 3 is being fixed to 10V by the reset switch 34 controlled by the reset gate line 35.

[0099] xi): Next, a reset switch 34 turns off by the reset gate line 35, the input terminal of an inverter 3 serves as floating, and when the 4th phase drive wire 67 of BBD subsequently carries out a turn-off, a signal charge A is inputted into the input terminal of an inverter 3 exceeding potential barrier 24p of the output gate 24. Since fixed voltage is always impressed to the output gate line 25 here, it is as having stated previously that potential barrier 24p also takes constant value and that this example also designed the capacity value of capacity 23c the twice [about] of other BBD capacity. Now, by the input to the inverter 3 of a signal charge A, an inverter 3 outputs the reversal output / A of a signal charge A. That is, since it is 10V in the condition that the input of an inverter 3 was reset if, as for the output, the charge of 10V and A did not exist since the input voltage of an inverter 3 was set to about 6 V when the charge of A existed, an output is 5V. When the rewrite switch 4 turns on by the rewrite gate line 31 following on this, the output voltage of this inverter 3 is impressed and displayed on the input edge of the liquid crystal capacity 5 and BBD.

Moreover, when it gets mixed up with ON of the rewrite switch 4 and the 3rd phase drive wire 66 of BBD carries out a turn-on, a signal charge B moves to capacity 61b through switch 60b, and is shut up between two potential barriers of 60bp and 62bp. Whichever may operate first and ON of the rewrite switch 4 and the turn-on of the 3rd phase drive wire 66 of BBD may operate simultaneously here.

[0100] xii: Next the 3rd phase drive wire 66 of BBD carries out a turn-off, and, subsequently the 2nd phase drive wire 65 of BBD carries out a turn-on. At this time, a signal charge C moves to capacity 63a through switch 62a, and is shut up between two potential barriers of 62ap and 60bp. It does not change that the signal charge B is shut up between two potential barriers of 60bp(s) and 62bp.

[0101] xiii: The 2nd phase drive wire 65 of BBD carries out a turn-off, and, subsequently the 1st phase drive wire 64 of BBD carries out a turn-on. At this time, a signal charge/A is inputted into capacity 61a from an inverter 3 through the rewrite switch 4 and switch 60ap. It does not change that the signal charge C is shut up between two potential barriers of 62ap(s) and 60bp and that the signal charge B is shut up between two potential barriers of 60bp(s) and 62bp.

[0102] xiv: The liquid crystal capacity 5 will continue holding the display output corresponding to a signal charge/A until the rewrite switch 4 turns on next again, when the rewrite switch 4 turns off by the rewrite gate line 31. Just before or after this, the 1st phase drive wire 64 of BBD carries out a turn-off, and a signal charge/A is shut up between two potential barriers of 60ap(s) and 62ap. At this time, whether which operates previously or OFF of the rewrite gate line 31 and OFF of the 1st phase drive wire 64 of BBD operate simultaneously, they are not cared about. Although only a part with the output impedance of an inverter 3 smaller to turn off previously has the 1st phase drive wire 64 advantageous to stabilization of the amount of input charges of BBD, if the value of the liquid crystal capacity 5 is fully large, there will be no big difference. Succeedingly, the 4th phase drive wire 67 of BBD carries out a turn-off, and a signal charge B moves to capacity 63b through switch 62b, and is shut up between two potential barriers of 62bp and 24p. When it gets mixed up with this and a reset switch 34 turns on by the reset gate line 35, a signal charge A is reset and the input of an inverter 3 returns to 10V again. The turn-off of here or the 4th phase drive wire 67 of BBD and the context of ON of the reset gate line 35 are not cared about even when which is simultaneous also as for the point. This condition is in the condition in which 1 bit of signal charges advanced at a time from the condition of x spread previously.

[0103] A low power can perform within a pixel, without minding the signal line 12 with big parasitic capacitance for the rewrite actuation in which it is simultaneously equivalent to refresh of DRAM, displaying the output corresponding to [by repeating x-xiv of a more than] triplet digital image data in this example using the liquid crystal capacity 5 one by one. Also in this example, it is the same as that of an example 1 to have reversed applied voltage [as opposed to / whenever the signal of a triplet goes around a data loop and a rewrite is carried out to the liquid crystal capacity 5 / the liquid crystal common electrode 36], and to have realized alternating current actuation of the liquid crystal capacity 5

by this.

[0104] In addition, by changing the display period of three bit data every 2 times, and giving time weight, also about displaying 23= 8 gradation, since this example is the same as that of an example 1, explanation is omitted here.

[0105] Moreover, also about each switch and the concrete device structure of BBD, and the liquid crystal display structure of an echo and a transparency mold, since this example is the same as that of an example 1, the explanation is omitted here.

(Example 3) The example 3 of this invention is explained using drawing 18 - drawing 21 below.

[0106] The whole this example configuration and its actuation are the same as that of the example 1 explained using drawing 1, if the point that the inverter ladder later mentioned as a memory device in the pixel replaced with BBD 2 (Bucket Brigade Device) is used is removed. Therefore, the publication of a whole configuration and its actuation is omitted here, and a pixel is explained below focusing on the inverter ladder which is the feature of this example.

However, although each pixel can carry out storage maintenance of the 4-bit digital image data at this example, this is described later.

[0107] Drawing 18 is internal configuration drawing of the pixel in this example.

[0108] DRAM which consisted of a data entry switch 1 and liquid crystal capacity 5 is prepared in the pixel, and the other end of a data entry switch 1 is connected to the signal line 12. 36 is a liquid crystal common electrode here. The first inverter stage where the data-hold node of this DRAM consisted of pMOS driver 71a, nMOS driver 70a, and output switch 72a, The second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b, The third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c, The fourth inverter stage which consisted of pMOS driver 71d, nMOS driver 70d, and output switch 72d, It passed to *****, and inputted into CMOS inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26, and the output is again inputted into the data-hold node of DRAM through the rewrite switch 4 controlled by the rewrite gate line 31. Each each above-mentioned output switches [72a, 72b, 72c, and 72d] gate is connected to the 1st-step output switch gate line 73, the 2nd-step output switch gate line 74, the 3rd-step output switch gate line 75, and the 4th-step output switch gate line 76, respectively. In addition, the high-tension terminal of each above-mentioned CMOS inverter is connected to 10V power supply line 29, and the low-battery terminal of each CMOS inverter is connected to 5V power supply line 28. In addition, the serial configuration of the inverter from a first stage to the fourth step is called the inverter ladder here.

[0109] Hereafter, actuation of the pixel in this example is explained.

[0110] First, in the condition of not operating an inverter ladder in this example, namely, not using pixel memory, since the usual multiple value thru/or actuation of an analog display are the same as that of an example 1, explanation is omitted here. In addition, in order to reduce power consumption, it is [that what is necessary is just to always turn off the re-write-in switch 4 by the re-write-in gate line 31] desirable, when not using pixel memory to drop 10V power supply line 29 and 5V power supply line 28 on this voltage.

[0111] Next, write-in actuation of the 4-bit digital image data to a pixel is described below using drawing 19 and drawing 20.

[0112] Drawing 19 is the actuation wave of the gate line 11 of each line when making the number of pixels at the time of writing in the digital pixel data for 1 bit to all pixels into m lines, the signal line 12 of arbitration, the liquid crystal common electrode 36, and the 1st-step output switch gate line 73. In addition, in the drawing in this description, an actuation wave makes [which it is, and is carried out and is expressed with a low battery] ON thru/or high tension, and the bottom off for a top. On the occasion of the writing of the pixel data for 1 bit, the 1st-step output switch gate line 73 is turned on first, and the data entry switch of each line subsequently to the gate line 11 scanned carries out sequential ON, and goes. At this time, image data is inputted into a signal line 12 later than the driving pulse of the gate line 11 a little. By the above actuation, the pixel data for 1 bit to all the pixels scanned by the gate line is memorized by the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b through the first inverter stage which consisted of pMOS driver 71a, nMOS driver 70a, and output switch 72a.

[0113] In addition, although polar its L""/ H" interchange whenever 1 bit data of each pixel in this example pass along an inverter, especially by the following explanation, reference is not separately carried out about it for simplification of explanation.

[0114] Next, the actuation of a pixel at the time of reading the digital pixel data for 4 bits one by one is explained.

[0115] Drawing 20 is the actuation wave of the gate line 11 of the arbitration in this case, the 1st-step output switch gate line 73, the 2nd-step output switch gate line 74, the 3rd-step output switch gate line 75, the 4th-step output switch gate line 76, and the rewrite gate line 31. In addition, in case the digital pixel data for 4 bits is read one by one, the rewrite switch 4 driven by the rewrite gate line 31 is always turned off, in order to intercept the rewrite from an inverter ladder side.

[0116] Actuation is explained for every period of the periods 1-4 shown in drawing 20 below.

[0117] Period 1: First read the first digital pixel data for 1 bit from a signal line 12 to the inverter ladder in a pixel. At this time, the output switch gate lines 75 and 74 of each stage turn on / turn off from the 4th-step output switch gate line 76 beforehand, and, finally ON/OFF of the 1st-step output switch gate line 73 are performed. ON/OFF of the 1st-step output switch gate line 73 of this last are the writing of the 1-bit image data to each pixel explained using drawing 19. In addition, in case the output switch gate lines 76, 75, 74, and 73 of each stage repeat ON/OFF, as illustrated, the remaining output switch gate lines 76, 75, 74, and 73 are still off. It is as having already stated that the pixel data for 1 bit to all the pixels scanned by this by the gate line is memorized by the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b. In addition, although ON/OFF of the output switch gate lines 75 and 74 of each stage are performed from the 4th-step output switch gate line 76 one by one to ON of the 1st-step output switch gate line 73 / off front, this is because the simplification of actuation wave formation logic was attained here by making regular the actuation wave of each output switch gate lines 76, 75, 74, and 73. It is clear for such excessive actuation to be omitted actually.

[0118] Period 2 : when the output switch gate lines 76, 75, 74, and 73 of each stage repeat ON/OFF like a degree The first 1 bit data memorized by the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b previously It is transmitted to the input capacitance of the third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c, and memorizes. Furthermore, by finally performing ON/OFF of the 1st-step output switch gate line 73, the bit [2nd] data as follows inputs from a signal line 12 through the data entry switch 1 driven by the gate line 11, and the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b memorizes.

[0119] Period 3 : when the output switch gate lines 76, 75, 74, and 73 of each stage repeat ON/OFF similarly too The first 1 bit data memorized by the input capacitance of the third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c It is transmitted to the input capacitance of the fourth inverter stage which consisted of pMOS driver 71d, nMOS driver 70d, and output switch 72d, and memorizes. Moreover, the bit [2nd] data memorized by the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b is transmitted to the input capacitance of the third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c, and is memorized. Furthermore, by finally performing ON/OFF of the 1st-step output switch gate line 73, the data of the following triplet eye inputs from a signal line 12 through the data entry switch 1 driven by the gate line 11, and the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b memorizes.

[0120] Period 4: When the output switch gate lines 76, 75, 74, and 73 of each stage finally repeat ON/OFF again, the first 1 bit data memorized by the input capacitance of the fourth inverter stage which consisted of pMOS driver 71d, nMOS driver 70d, and output switch 72d are transmitted to the input capacitance of the inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26, and are memorized. The bit [2nd] data memorized by the input capacitance of the third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c is transmitted to the input capacitance of the fourth inverter stage which consisted of pMOS driver 71d, nMOS driver 70d, and output switch 72d, and is memorized. Moreover, the data of the triplet eye memorized by the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b is transmitted to the input capacitance of the third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c, and is memorized. Furthermore, by finally performing ON/OFF of the 1st-step output switch gate line 73, the bit [4th] data as follows inputs from a signal line 12 through the data entry switch 1 driven by the gate line 11, and the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b memorizes. Above, reading of the digital pixel data for 4 bits in a pixel is completed. In addition, it holds 1-bit data each to the input capacitance of each inverter here. If addition capacity is formed in the input terminal of each inverter here if needed, although the area of a circuit will increase, the maintenance property of the data in a pixel is stabilized more.

[0121] Next, the display and rewrite actuation of 4-bit digital image data in a pixel are explained below using drawing 21.

[0122] Drawing 21 is the actuation wave of the gate line 11 of the display of the 4-bit digital image data in a pixel, and the arbitration in the case of rewrite actuation, the 1st-step output switch gate line 73, the 2nd-step output switch gate line 74, the 3rd-step output switch gate line 75, the 4th-step output switch gate line 76, and the rewrite gate line 31. In addition, in the case of the display of 44-bit digital image data, and rewrite actuation, the gate line 11 and the data entry switch 1 controlled by this are turned off, and direct current voltage is impressed or grounded so that power may not be consumed to a signal line 12.

[0123] The rewrite switch 4 turns on / turns off by the introduction rewrite gate line 31. The first 1 bit data memorized

by the input capacitance of the inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26 are transmitted to the liquid crystal capacity 5 by this, and are memorized and displayed. This data will be simultaneously memorized by the input capacitance of the first inverter stage which consisted of pMOS driver 71a, nMOS driver 70a, and output switch 72a. When the point which it should be careful of here is again inputted into the input capacitance of the first inverter stage, it is reversed to the data first inputted into the pixel, i.e., I hear that polar its L""/ H" were changed, and this first 1-bit data exists. This is because the inverter of odd level (five steps) is formed into the data rewrite loop of the memory in this example.

[0124] Subsequently, when the 4th-step output switch gate line 76 turns on / turns off, the bit [2nd] data memorized by the input capacitance of the fourth inverter stage which consisted of pMOS driver 71d, nMOS driver 70d, and output switch 72d is transmitted to the input capacitance of the inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26, and is memorized.

[0125] Next, when the 3rd-step output switch gate line 75 turns on / turns off, the data of the triplet eye memorized by the input capacitance of the third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c is transmitted to the input capacitance of the fourth inverter stage which consisted of pMOS driver 71d, nMOS driver 70d, and output switch 72d, and is memorized.

[0126] When the 2nd-step output switch gate line 74 furthermore turns on / turns off, the bit [4th] data memorized by the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b is transmitted to the input capacitance of the third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c, and is memorized.

[0127] When the 1st-step output switch gate line 73 finally turns on / turns off The first 1-bit "reversal" data memorized by the input capacitance of the first inverter stage which consisted of pMOS driver 71a, nMOS driver 70a, and output switch 72a It is transmitted to the input capacitance of the second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b again, and memorizes again.

[0128] A low power can perform within a pixel, without minding the signal line 12 with big parasitic capacitance for the rewrite actuation in which it is simultaneously equivalent to refresh of DRAM, carrying out image display of the output corresponding to [by repeating the above actuation] 4-bit digital image data in this example one by one. It is the same as that of an example 1 to have reversed applied voltage [as opposed to / as already stated, whenever a 4-bit signal goes around a data loop and a rewrite is carried out to the liquid crystal capacity 5 also in this example / the liquid crystal common electrode 36], and to have realized alternating current actuation of the liquid crystal capacity 5 by this.

[0129] In addition, by changing the display period of four bit data every 2 times, and giving time weight, it is 24= 16. Also about the liquid crystal display structure of displaying gradation, an echo, and a transparency mold, since this example is the same as that of an example 1, the explanation is omitted here.

[0130] Although poly-Si TFT is used for each transistor in this example like the example 1, since BBD is unnecessary, it has the advantage that the impurity introduction process for capacity formation can be excluded, in this example.

[0131] In addition, although 4-bit image data was used in this example, it cannot be overemphasized that not only the number of bits but application of the structure of this example is possible. However, in order to realize reversal of data after going around a data loop in that case, it is necessary to accept the need, and to add thru/or delete the inverter circuit for data reversal suitably. For example, if reversal actuation is not taken into consideration in this example, it is also possible to also exclude the inverter circuit which consisted of pMOS driver 71a and nMOS driver 70a, and to design the inverter circuit which each pixel has if the image data of a triplet is treated, since it is possible to three steps.

(Example 4) The example 4 of this invention is explained using drawing 22 - drawing 24 below.

[0132] In the above-mentioned example 3, this example corresponds, when the image data memorized by the pixel is made into 1 bit. The whole configuration and its actuation are the same as that of the example 1 explained using drawing 1, if the point that the switch is used as a memory device replaced with BBD (BucketBrigade Device)2 is removed. Therefore, the publication of a whole configuration and its actuation is omitted here, and the pixel which is the feature of this example is explained below.

[0133] Drawing 22 is internal configuration drawing of the pixel in this example.

[0134] DRAM which consisted of a data entry switch 1 and liquid crystal capacity 5 is prepared in the pixel, and the other end of a data entry switch 1 is connected to the signal line 12. 36 is a liquid crystal common electrode here. The data-hold node of this DRAM was inputted into CMOS inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26 through the amplifier input switch 80, and that output is again inputted into the data-hold node of DRAM through the rewrite switch 4. The gate of the above-mentioned amplifier input switch 80 is connected to the amplifier input switch gate line 81. In addition, the high-tension terminal of above-mentioned CMOS inverter 3 is connected to 10V power supply line 29, and the low-battery terminal of each CMOS inverter is connected to 5V power supply line

28.

[0135] Hereafter, actuation of the pixel in this example is explained.

[0136] First, an inverter 3 is not used in this example, namely, since the usual multiple value in the condition of not using pixel memory thru/or actuation of an analog display are the same as that of an example 1, explanation is omitted here. In addition, in order to reduce power consumption, it is [that what is necessary is just to always turn off the re-write-in switch 4 by the re-write-in gate line 31] desirable, when not using pixel memory to drop 10V power supply line 29 and 5V power supply line 28 on this voltage.

[0137] Next, write-in (refresh) actuation of the 1-bit digital image data to a pixel is explained below using drawing 23.

[0138] Drawing 23 is the actuation wave of the gate line 11 of each line when making the number of pixels at the time of writing in the digital pixel data for 1 bit to all pixels into m lines, the signal line 12 of arbitration, the liquid crystal common electrode 36, the amplifier input switch gate line 81, and the rewrite gate line 31. In addition, in the drawing in this description, an actuation wave makes [which it is, and is carried out and is expressed with a low battery] ON thru/or high tension, and the bottom off for a top. On the occasion of the writing of the pixel data for 1 bit, the amplifier input switch 80 is first turned on by the amplifier input switch gate line 81, and the data entry switch 1 of each line subsequently to the gate line 11 scanned carries out sequential ON, and goes. At this time, image data is inputted into a signal line 12 later than the driving pulse of the gate line 11 a little. By the above actuation, the pixel input data for 1 bit to all the pixels scanned by the gate line 11 is inputted into CMOS inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26 through the amplifier input switch 80, and is memorized by the input capacitance. The liquid crystal common electrode 36 holds the constant voltage, and the rewrite gate line 31 fixed the rewrite switch 4 off, and has forbidden the rewrite from CMOS inverter 3 here.

[0139] In addition, although polar its L""/ H" interchange whenever the 1-bit pixel data in this example passes along an inverter 3, especially by the following explanation, reference is not separately carried out about it for simplification of explanation. In addition, 1 above-mentioned bit image data is held here at the input capacitance of CMOS inverter 3, and in other words, the input capacitance of the amplifier input switch 80 and CMOS inverter 3 constitutes another DRAM. If addition capacity is formed in the input terminal of each inverter here if needed, although circuit area will increase, the maintenance property of the data in a pixel can be stabilized more.

[0140] Next, a display and rewrite actuation of the above-mentioned 1-bit pixel data are explained below using drawing 24.

[0141] Drawing 24 is the actuation wave of the amplifier input switch gate line 81 in the case of the display of the 1-bit pixel data in a pixel, and rewrite actuation, the rewrite gate line 31, and the liquid crystal common electrode 36. In addition, in the case of the display of 1-bit pixel data, and rewrite actuation, the gate line 11 and the data entry switch 1 controlled by this are turned off, and direct current voltage is impressed or grounded so that power may not be consumed to a signal line 12.

[0142] Although the amplifier input switch 80 turns off by the introduction amplifier input switch gate line 81, this is the same as the wave when writing the data explained by drawing 23 in a pixel. Next, the rewrite switch 4 turns on / turns off by the rewrite gate line 31, and the liquid crystal common electrode 36 is reversed on H" level "from L"" at this and coincidence. 1 bit data memorized by the input capacitance of the inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26 are transmitted to the liquid crystal capacity 5 by this, and are memorized and displayed. At this event, it is reversed to the data first inputted into the pixel, i.e., I hear that polar its L""/ H" were changed, and the point which it should be careful of here has this 1-bit data.

[0143] Subsequently, when the amplifier input switch gate line 81 turns on / turns off, this 1-bit reversal pixel data memorized by the liquid crystal capacity 5 is again transmitted to the input capacitance of the inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26, and is memorized.

[0144] Next, the rewrite switch 4 turns on / turns off by the rewrite gate line 31 again, and the liquid crystal common electrode 36 is reversed on "L" level at this and coincidence. The 1-bit reversal pixel data memorized by the input capacitance of the inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26 is again transmitted to the liquid crystal capacity 5 by this, and is memorized and displayed. The point which it should be careful of again here is the same as the data first inputted into the pixel, i.e., I hear that polar its L""/ H" have returned, and this 1-bit data at this event has it. At this time, since the liquid crystal common electrode 36 is reversed again, it turns out that alternating-voltage actuation of liquid crystal is realized by this.

[0145] When the amplifier input switch gate line 81 turns on / turns off after this again, this 1-bit pixel data memorized by the liquid crystal capacity 5 is transmitted to the input capacitance of the inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26, and is memorized.

[0146] A low power can perform within a pixel, without minding the signal line 12 with big parasitic capacitance for the

rewrite actuation in which it is simultaneously equivalent to refresh of DRAM, carrying out the inverse video of the output corresponding to [by repeating the above actuation] 1-bit image data in this example.

[0147] In addition, in this example, the so-called partial transparency type of liquid crystal display structure in which both the image display of an echo and transparency is possible is adopted. This is explained using drawing 31 below.

[0148] Drawing 31 is the plan of the pixel 83 in this example, and as shown all over drawing, it indicates the layouts of a contact hole to be a polycrystal Si island, gate wiring, and aluminum wiring layer.

[0149] The signal line 12 wired with aluminum is inputted into aluminum reflector 84e through the data entry switch 1 which uses the gate line 11 as a gate electrode, and the amplifier input switch 80 which uses the amplifier input switch gate line 81 as a gate electrode. aluminum reflector 84e is connected to the gate electrode of the pMOS driver 27 and the nMOS driver 26, and the pMOS driver 27 and the nMOS driver 26 are connected to 10V power supply line 29 and 5V power supply line 28 which consist of gate wiring layers, respectively through aluminum reflector 84c and 84d of aluminum reflectors. The output of the CMOS inverter which consists of a pMOS driver 27 and a nMOS driver 26 is inputted into the rewrite switch 4 which uses the rewrite gate line 31 as a gate electrode through aluminum reflector 84b, and the output is connected to the output of a data entry switch 1 through aluminum reflector 84a. The ITO contact 82 has prepared in aluminum reflector 84a here, and the pixel 83 whole surface is connected to the liquid crystal capacity 5 through a wrap ITO electrode (it omits all over drawing).

[0150] Since the electrical operation of the above-mentioned pixel is as having already stated using drawing 22, the optical structure of a pixel is explained here. Since it has the role which reflects the outdoor daylight to which wrap aluminum reflector 84a, and b, c, d and e carried out incidence of the pixel 83 from the liquid crystal display panel outside, the liquid crystal display of the reflective mold only by outdoor daylight is possible for this example. Moreover, the field 85 where neither above-mentioned aluminum reflector 84a, b, c, d and e nor signal-line 12 grade exists is a opening for making the light of the back light prepared in liquid crystal display panel back penetrate all over a panel. Since the circuit magnitude for giving a memory function to a pixel in this example is small, there is an advantage that the opening for performing the liquid crystal display of a transparency mold in this way is fully securable. Incidentally, the magnitude of the pixel in this example is 252umx84um, and even if it uses the layout rule of lower limit 4um, it has the transparency numerical aperture exceeding 30%.

[0151] Although poly-Si TFT is used for each transistor in this example like the first example, since BBD is unnecessary, it has the advantage that the impurity installation process for capacity formation can be excluded, in this example.

[0152] In addition, although the amplifier input switch 80 was formed between the inverter 3 and the data entry switch 1 in this example, this switch can also be prepared between the liquid crystal capacity 5 and a data entry switch 1. This is equivalent only to what changes the location of the node which inputs data into it to a data loop. In addition, it cannot be overemphasized that circuit structure's modification and various circuit deformation of this and resemblance are possible suitably in other examples.

[0153] Moreover, although the "on" period of the rewrite switch 4 is set up in this example for a long time than the "on" period of the amplifier input switch 80, this can change the length suitably. For example, it is desirable as layout to compare the charge maintenance time constant in the liquid crystal capacity 5 with the charge maintenance time constant in the input capacitance of an inverter 3, and to set the "on" period of each switch that both have an equivalent charge maintenance margin etc. In addition, the flicker which originates in alternating current actuation of liquid crystal with lowering of frame frequency becomes easy to be conspicuous like [this example] other examples. since [however,], as for power consumption, the direction which reduces frame frequency is reduced -- the optimal frame frequency -- a use -- or it is desirable to be changed at any time depending on usage.

(Example 5) The example 5 of this invention is explained using drawing 25 and drawing 26 below.

[0154] The fundamental structure and actuation of this example are the same as the structure of the conventional example and actuation which were explained using drawing 30. Since the greatest difference in in the conventional example and this example which were explained using drawing 30 is having the structure which can be refreshed for 1-bit image data within a pixel, without each pixel minding a signal line, the publication of a whole configuration and its actuation is omitted here, and the pixel which is the feature of this example is explained below.

[0155] Drawing 25 is internal configuration drawing of the pixel in this example.

[0156] DRAM which consisted of a data entry switch 1 and retention volume 86 is prepared in each pixel, and the other end of a data entry switch 1 is connected to the signal line 12. Moreover, this data node is connected to the gate of the pixel actuation switch 93, and the other end is connected to a counterelectrode 96 for the end of the above-mentioned liquid crystal capacity 5 through the pixel actuation switch 93 at the common electrode line 94. The structure to the above is the same as that of the conventional example explained using drawing 30. However, in this example, the

following structures are newly given. The aforementioned data node is further connected to the gate of the rewrite switch 87, and the drain of the rewrite switch 87 is connected to the rewrite switch drain wire 92. Moreover, the source of the rewrite switch 87 has returned to the aforementioned data node again through the 1st rewrite diode 89, the rewrite capacity 90, and the 2nd rewrite diode 91. Moreover, the bootstrap capacity 88 is formed between the aforementioned data node and the source of the rewrite switch 87.

[0157] Hereafter, actuation of this conventional example is explained. When the gate line 11 opens and closes a data entry switch 1, the 1-bit image data on a signal line 12 is inputted into DRAM which consisted of the predetermined data entry switches 1 and retention volume 86 of a pixel line. The pixel actuation switch 93 will be fixed to ON thru/or an OFF state by the image data written in this DRAM. Since alternating voltage is impressed to a counterelectrode 96 here and predetermined voltage is impressed to the common electrode line 94, when the pixel actuation switch 93 is ON, alternating voltage is impressed to the liquid crystal capacity 5, and when the pixel actuation switch 93 is OFF, voltage always is not impressed to the liquid crystal capacity 5. Even if it suspends a period until this liquid crystal display panel is lost by this and the data of DRAM is lost according to leakage current, gate line 11 scan, and the data output to a signal line 12, 1-bit image display is continuable. Till the above place, it is the same as that of the conventional example explained using drawing 30.

[0158] However, in this example, each pixel can be refreshed for 1-bit image data within a pixel by the following actuation, without minding a signal line. Drawing 26 is used and explained below about this actuation.

[0159] Drawing 26 is the drain of the rewrite switch 87 in the above-mentioned refresh actuation, the gate, a source voltage waveform, and the voltage waveform of the near terminal connected to the rewrite diode in the rewrite capacity 90. In refresh actuation, a positive pulse is impressed to the rewrite switch drain wire 92. Although this voltage turns into drain voltage of the rewrite switch 87 as it is, if the stored data of DRAM is "L" at this time, the gate voltage of the rewrite switch 87 is -5V, the rewrite switch 87 does not turn on and the voltage inside a pixel does not change (not shown). However, if the stored data of DRAM is "H" on the other hand, the gate voltage of the rewrite switch 87 is +5V. Actually, although this gate voltage is assumed to be that which fell to about +2V by leak of DRAM, also in this case, the rewrite switch 87 is turned on, and as illustrated, source voltage rises to the 5V [same] as a drain here. This is because the voltage of the gate rises till around 10V with the bootstrap capacity 88 prepared between the source and the gate. Now, the voltage of the rewrite capacity 90 illustrated at this time rises to about 5V. This is because the 1st rewrite diode 89 connected to the forward direction is formed between the rewrite capacity 90 and the source of the rewrite switch 87, and the rewrite capacity 90 is charged until the voltage is almost set to 5V. In addition, reverse voltage is impressed to the 2nd rewrite diode 91 at this time, and the charge leak to the 2nd rewrite diode 91 from the storage node of DRAM can be disregarded.

[0160] The pulse of the rewrite switch drain wire 92 returns to -5V of origin again next. Although this voltage turns into drain voltage of the rewrite switch 87 as it is, if the stored data of DRAM is "L" too at this time, the gate voltage of the rewrite switch 87 is -5V, the rewrite switch 87 always will not be turned on and the voltage inside a pixel will not change (not shown). However, when the stored data of DRAM is "H" as mentioned above, since return and the gate are ON, the gate voltage of the rewrite switch 87 returns to +2V of origin -5V also with source voltage equal to drain voltage. Now, although the voltage of the rewrite capacity 90 illustrated at this time was rising to about 5V, this charge will flow into the gate terminal of the rewrite switch 87 which is next the storage node of DRAM. This is because bias of the 2nd rewrite diode 91 between the rewrite capacity 90 charged by 5V and the gate of the rewrite switch 87 is carried out to the forward direction by 5V which are the voltage of the rewrite capacity 90, and +2V which are the gate voltage of the rewrite switch 87, and this charge impregnation is continued until the rewrite capacity 90 and the gate of the rewrite switch 87 become this potential. Such charge impregnation is inevitably produced at the time not more than 5V, though the gate voltage of the rewrite switch 87 is "H", and this is equivalent to refresh actuation of DRAM in this example. In addition, reverse voltage is impressed to the 1st rewrite diode 89 at this time, and the charge leak to the rewrite switch drain wire 92 from the rewrite capacity 90 can be disregarded. Thus, by impressing pulse voltage to the rewrite switch drain wire 92 to predetermined timing, a low power can perform rewrite actuation equivalent to refresh of DRAM within a pixel by this example, without minding the signal line 12 with big parasitic capacitance.

[0161] In addition, about the liquid crystal display structure of an echo and a transparency mold, since this example is the same as that of an example 1, the explanation is omitted here.

[0162] If this is carried out in common for every line and every train, although common connection of the rewrite switch drain wire 92 is made by all pixels at this example, and the complexity of an actuation circuit will increase, reduction of the peak period power consumption at the time of refresh actuation is possible.

[0163] Although poly-Si TFT was used for each transistor in this example like the example 1, it constituted the 1st rewrite diode 89 and the 2nd rewrite diode 91 from n+/i/p+ lateral cementation of poly-Si at this example in order to

avoid the excessive increment in a process routing counter. In addition, although diode was adopted as mentioned above in this example in order to transmit the signal charge for rewrites to an one direction, the TFT switch which has a suitable driving signal pulse can also be substituted for this. In this case, although the complexity of a pixel will increase in order to give a predetermined driving signal to these TFT switches, a manufacture process becomes easier at the point which can constitute a pixel only from TFT.

[0164] Moreover, in this example, explanation was omitted about the touch-down potential impression method to the reverse electrode to retention volume 86 and the rewrite capacity 90. Although this is because these touch-down voltage impression methods are not the essence of invention, it cannot be overemphasized that there are the various implementation methods, such as preparing the common wiring for both separately actually, or using the gate line 11 of a contiguity line pixel.

(Example 6) The example 6 of this invention is explained using drawing 27 below.

[0165] The number of stages of an inverter ladder is one step fewer than, and if the configuration and its actuation of this example remove that the low-battery power supply line 98 and the high-tension power supply line 99 for replacing with that the pixel data stored is a triplet, and the liquid crystal capacity 5 and the liquid crystal common electrode 36, and supplying luminescence current to the luminescence actuation switch 96, a light emitting device 97, and this are formed, they are the same as that of the example 3 explained using drawing 18 - drawing 21 almost. Therefore, the publication of a whole configuration and its actuation is omitted here, and a pixel is explained below focusing on the light emitting device 97 which is the feature of this example.

[0166] Drawing 27 is internal configuration drawing of the pixel in this example.

[0167] DRAM which consisted of gate capacitance of a data entry switch 1 and the luminescence actuation switch 96 is prepared in the pixel, and the other end of a data entry switch 1 is connected to the signal line 12. The first inverter stage where the data-hold node of this DRAM consisted of pMOS driver 71a, nMOS driver 70a, and output switch 72a, The second inverter stage which consisted of pMOS driver 71b, nMOS driver 70b, and output switch 72b, Pass in order the third inverter stage which consisted of pMOS driver 71c, nMOS driver 70c, and output switch 72c. It inputted into CMOS inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26, and the output is again inputted into the data-hold node of DRAM through the rewrite switch 4 driven by the rewrite gate line 31. Each gate of each above-mentioned output switches 72a, 72b, and 72c is connected to the 1st-step output switch gate line 73, the 2nd-step output switch gate line 74, and the 3rd-step output switch gate line 75, respectively. In addition, the high-tension terminal of each above-mentioned CMOS inverter is connected to 10V power supply line 29, and the low-battery terminal of each CMOS inverter is connected to 5V power supply line 28. Furthermore, in this example, the source of the luminescence actuation switch 96 is connected to the low-battery power supply line 98, and the drain of the luminescence actuation switch 96 is connected to the high-tension power supply line 99 through the light emitting device 97. Although both are connected to 5V power supply line 28 and 10V power supply line 29 within the same pixel, respectively since 10V are impressed to 5V and the high-tension power supply line 99 here at the low-battery power supply line 98, this is not illustrating for simplification of a drawing.

[0168] Hereafter, actuation of the pixel in this example is explained.

[0169] First, in the condition of not operating an inverter ladder in this example, namely, not using pixel memory, since the usual multiple value thru/or actuation of an analog display are the same as that of an example 3, explanation is omitted here. However, in this example, since the light emitting device 97 is used for the display, it is not necessary to perform alternating current actuation of data like an example 3.

[0170] Next, although it is write-in actuation of the triplet digital image data to a pixel, and a display and rewrite actuation, 4 bits turned into a triplet fundamentally also about this, and also since it is the same as that of an example 3, explanation detailed here is omitted, and it stops to explain a difference with the example 3 in this example.

[0171] When it sets to this example and the rewrite switch 4 turned on / turns off by the rewrite gate line 31, it is the gate capacitance of the luminescence actuation switch 96, and the input capacitance of the first inverter stage that the 1-bit data memorized by the input capacitance of the inverter 3 which consisted of a pMOS driver 27 and a nMOS driver 26 is transmitted and memorized. Since the number of the inverters on a data loop [in / in the point which it should be careful of here / this example] is even (four pieces), even if it inputs this 1-bit data into the input capacitance of the first inverter stage again, it is not reversed from the data first inputted into the pixel, and I hear that polar its L""/ H" are not changed, and there is. Since this example uses the light emitting device 97 for the display, this has the reason in it not being necessary to perform alternating current actuation like an example 3.

[0172] The luminescence actuation switch 96 makes it switch off / switch on by L""/ H" of the value of data, when 1 bit data are inputted into the gate. If off here, current will not flow to a light emitting device 97, luminescence will not be produced, but if it is ON, predetermined current will flow to a light emitting device 97, and luminescence will arise.

In addition, in order to make the luminescence brightness of a light emitting device 97 optimize here, the various technique of preparing and inserting predetermined resistance by poly-Si etc. between the luminescence actuation switch 96 which may correspond with the structure of a light emitting device 97, or separates the supply voltage lines 98 and 99 from 5V power supply line 28 and 10V power supply line 29, and adjusts voltage, and the low-battery power supply line 98 is possible. In addition, there are the advantages, such as making and loading the interior with voltage with high flexibility, without changing the possibility of fine adjustment of voltage and a manufacture process, after the structure of a pixel becomes easy, respectively, in such three technique.

[0173] In this example, although organic light emitting diode (OLED, Organic Light Emitting Diode) was used as a light emitting device 97, it cannot be overemphasized that it is also possible to use 2 terminal light emitting device of others, such as inorganic light emitting diode and the electroluminescence effect (Electro-luminescence) element, for this. Moreover, although voltage required for luminescence changes with light emitting devices, it is also possible to correspond by changing the applied voltage of the low-battery power supply line 98 and the high-tension power supply line 99 in this case 5V power supply line 28 and the whole 10V power supply line 29.

[0174] In this example, even when other lighting cannot be found by forming a light emitting device 97 in a pixel as mentioned above, there is the advantage in which it is possible for it to be alike not using a signal line 12, and to indicate the image by spontaneous light with a low power more.

[0175] In addition, also in this example, by changing the display period of three bit data every 2 times, and giving time weight, about displaying $23 = 8$ gradation, since it is the same as that of an example 1, the explanation is omitted here.

[0176] Moreover, although the image data of a triplet was used for the display in this example, it cannot be overemphasized that not only the number of bits but application of the structure of this example is possible. However, in order not to reverse data after going around a data loop in that case, the device of using the amplifier which accepts the need, and adds thru/or deletes the inverter circuit for data reversal adjustment suitably, or data does not reverse is required.

(Example 7) The example 7 in this invention is explained using drawing 28 below.

[0177] Drawing 28 is the block diagram of the video display terminal (PDA:Personal Digital Assistants) 100 which is an example 7.

[0178] The compressed image data inputs into the wireless interface (I/F) circuit 101 as wireless data based on bluetooth specification from the exterior, and the output of the wireless I/F circuit 101 is connected to a data bus 103 through the I/O (Input/Output) circuit 102. In addition to this, the microprocessor 104, the display-panel controller 105, and the frame memory 106 grade are connected to the data bus 103. Furthermore, the output of the display-panel controller 105 is echo/transparency display poly-Si. It has inputted into the TFT-liquid-crystal display panel 110, and is echo/transparency display poly-Si. The pixel matrix 111, the gate line actuation circuit 15, and the signal-line actuation circuit 14 grade are prepared in the TFT-liquid-crystal display panel 110. In addition, a power supply 107 and the pixel matrix lighting 108 are further formed in the video display terminal 100, and the pixel matrix lighting 108 is controlled by the I/O circuit 102. In addition, it is echo/transparency display poly-Si here. Since it has the same configuration and the actuation as the example 1 spread previously, the TFT-liquid-crystal display panel 110 omits the configuration of the interior, and a publication of operation here.

[0179] Actuation of this example 7 is explained below. The introduction wireless I/F circuit 101 incorporates from the outside the image data compressed according to the instruction, and transmits this image data to a microprocessor 104 and a frame memory 106 through the I/O circuit 102. In response to the instruction actuation from a user, a microprocessor 104 drives a video display terminal 100 if needed, and performs decoding and signal processing of the compressed image data, and an information display. The image data by which signal processing was carried out here is temporarily accumulated in a frame memory 106.

[0180] the case where a microprocessor 104 is ordered the information display by the "lighting display mode" here -- directions of a microprocessor 104 -- following -- a frame memory 106 to the display-panel controller 105 -- minding -- echo/transparency display poly-Si Image data is inputted into the TFT-liquid-crystal display panel 110, and the pixel matrix 111 expresses the inputted image data as real time. At this time, the display-panel controller 105 outputs a predetermined timing pulse required in order to display an image simultaneously. In addition, echo/transparency display poly-Si The TFT-liquid-crystal display panel 110 is as the example 1 having described the multiple-value data of 64 gradation generated by the pixel matrix 111 from 6-bit image data about expressing as real time using these signals. In addition, at this time, the I/O circuit 102 can make the pixel matrix lighting 108 able to turn on, and a video display terminal 100 can perform high definition image display containing an animation. In addition, the rechargeable battery is contained in the power supply 107 here, and the power which drives these video display terminal 100 whole is supplied.

[0181] next -- the case where a microprocessor 104 is ordered the information display by the "reflective display mode" - directions of a microprocessor 104 -- following -- a frame memory 106 to the display-panel controller 105 -- minding -- echo/transparency display poly-Si After predetermined image data is sent to the TFT-liquid-crystal display panel 110, the power supply of the predetermined component of a frame memory 106 and pixel matrix lighting 108 grade is intercepted, and a microprocessor 104 operates by the low-power mode of operation, and the cutback of the power consumption in a video display terminal 100 is performed. At this time, it is echo/transparency display poly-Si. The TFT-liquid-crystal display panel 110 is as the example 1 having already described performing image display of a low power using the image data of the triplet written in each pixel, without using a signal line 12. In addition, since there is little amount of data of a triplet and a display image as compared with 6 bits in the case of previous "lighting display mode", and the multiple-value data display of 64 gradation in the case of "reflective display mode", it is a frame memory 106 to echo/transparency display poly-Si. The cutback of the predetermined amount of data is performed by directions of a microprocessor 104 on the occasion of the image data transfer to the TFT-liquid-crystal display panel 110. In addition, echo/transparency display poly-Si The image data of the triplet which the TFT-liquid-crystal display panel 110 shows can be suitably rewritten according to the instruction of a microprocessor 104.

[0182] According to this example, the video display terminal 100 which reconciled the high definition image display by the "lighting display mode" and the low-power image display by the "reflective display mode" can be offered.

[0183] In addition, echo/transparency display poly-SiTFT explained to image display in the example 1 in this example Although the liquid crystal display panel 110 was used and the pixel matrix lighting 108 was made to turn on / turn off by "lighting display-mode"/"a reflective display mode", it is possible to, use various display panels which were indicated by the example of other this inventions in addition to this as a display device. This is not restricted to the display panel which reconciles echo/transparency display again. It is possible to constitute the same video display terminal also from a case of the display panel only using a reflective display, and it is possible to use the mode which thought to carry out high definition image display with high power consumption like "high brightness mode"/"low brightness mode" also in the case of the display panel using a light emitting device as important, and the mode which thought the image display in a low power as important. Moreover, although the image data display of the triplet which is with "lighting display mode"/"reflective display mode", and was memorized by real time multiple-value data image display / pixel was automatically changed in this example, the change of both displays can also be chosen as arbitration. For example, both displays may be changed with an animation and a still picture, and you may make it always display 1 ** using the image data which the pixel was made to memorize, without performing multiple-value data image display. Or it is alternative to change the number of bits of display image data into arbitration at this time etc.

[0184]

[Effect of the Invention] According to this invention, the cutback and low-pricing of power consumption in an image display device can be reconciled. Furthermore, it is also possible to display the image data of many bits in addition to this.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS**[Drawing 1]**

図 1

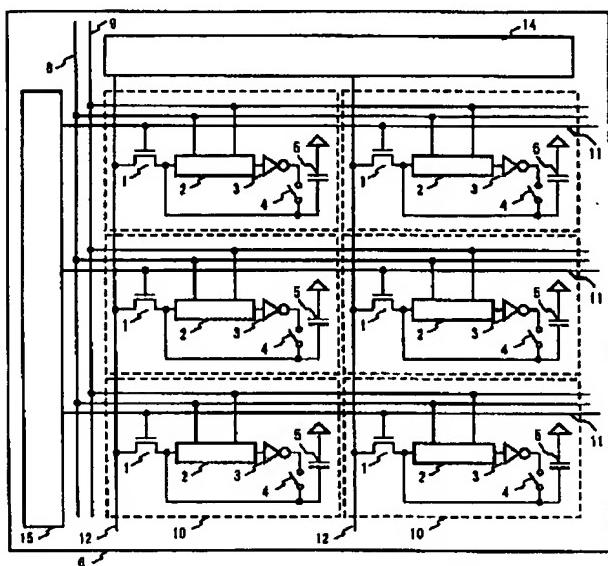
**[Drawing 2]**

図 2

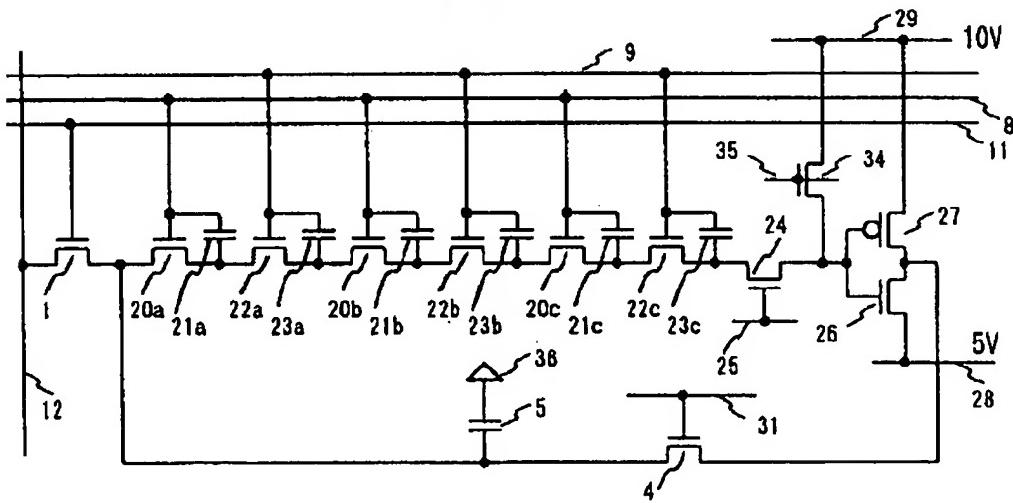
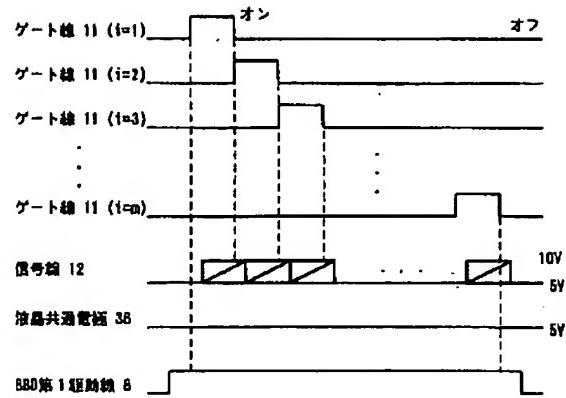
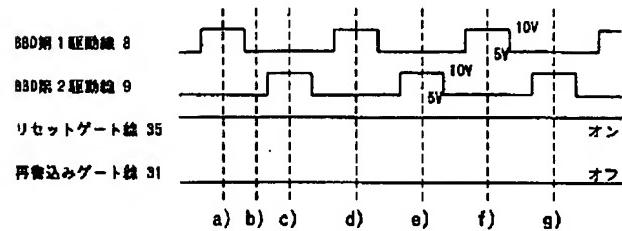
**[Drawing 3]**

図 3



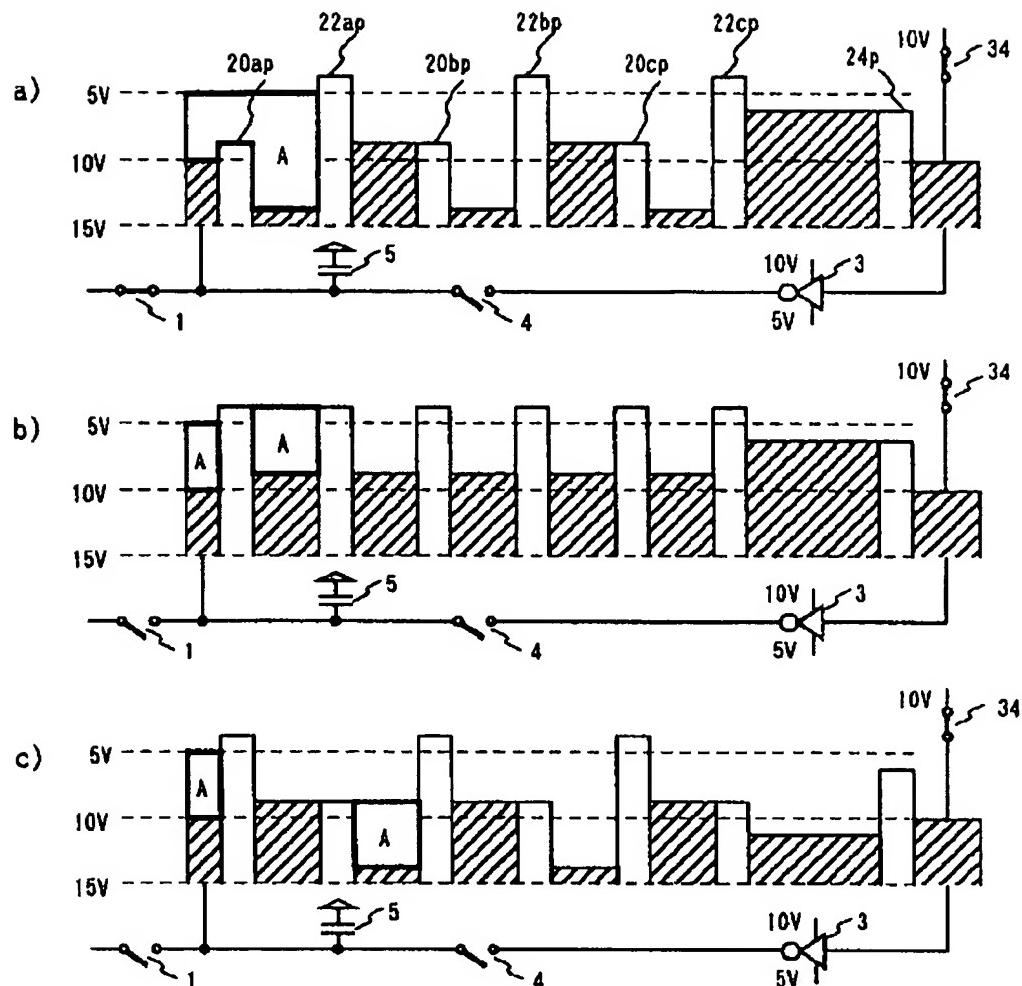
[Drawing 4]

図 4



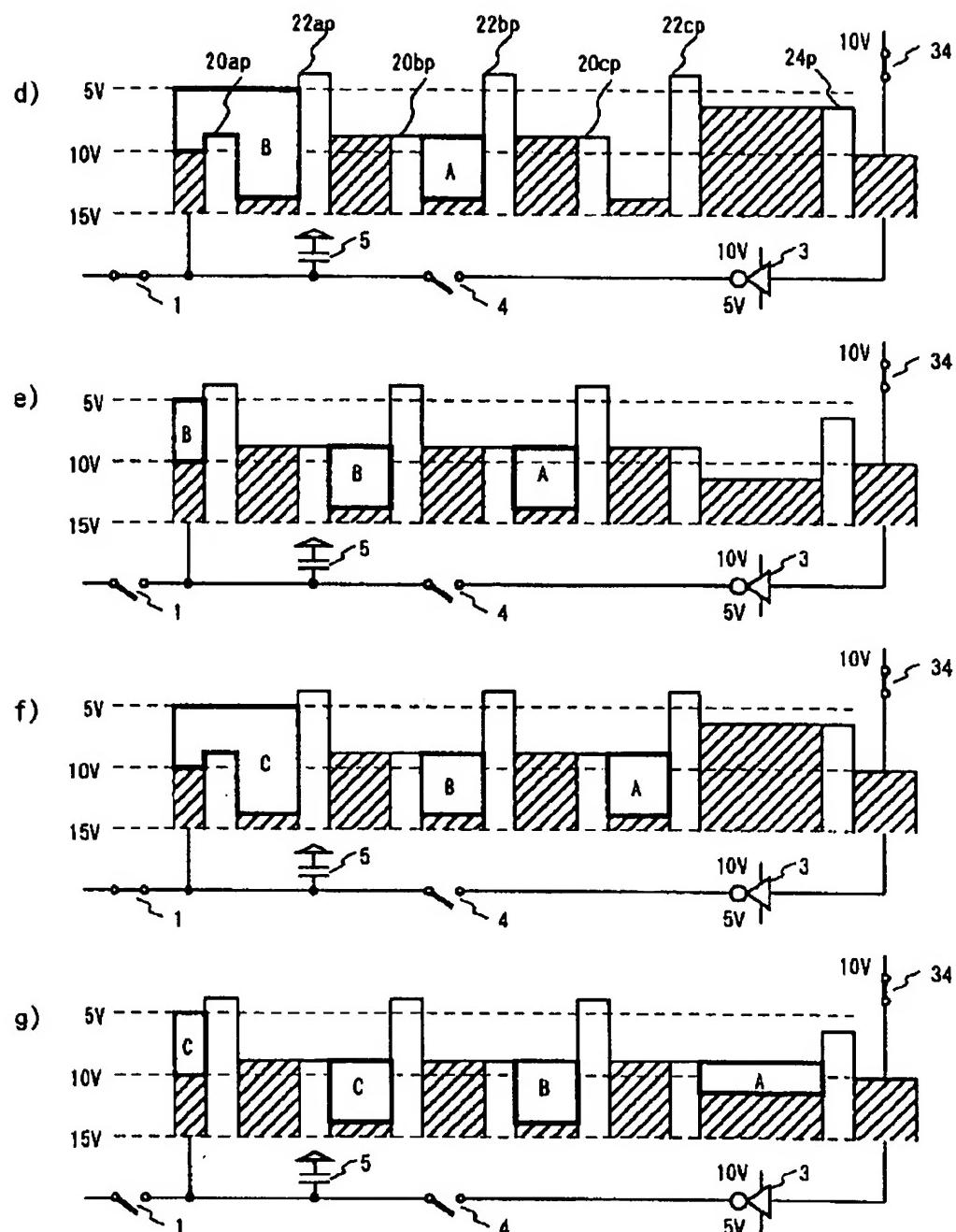
[Drawing 5]

図 5



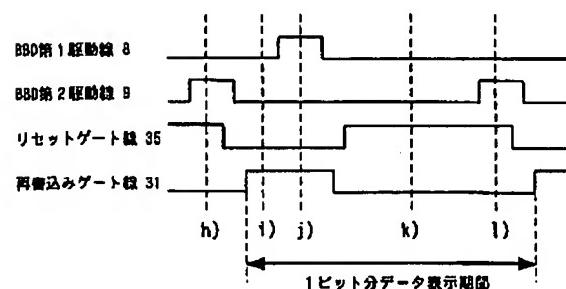
[Drawing 6]

図 6



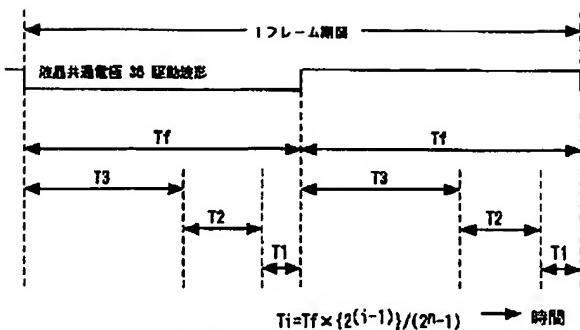
[Drawing 7]

図 7



[Drawing 9]

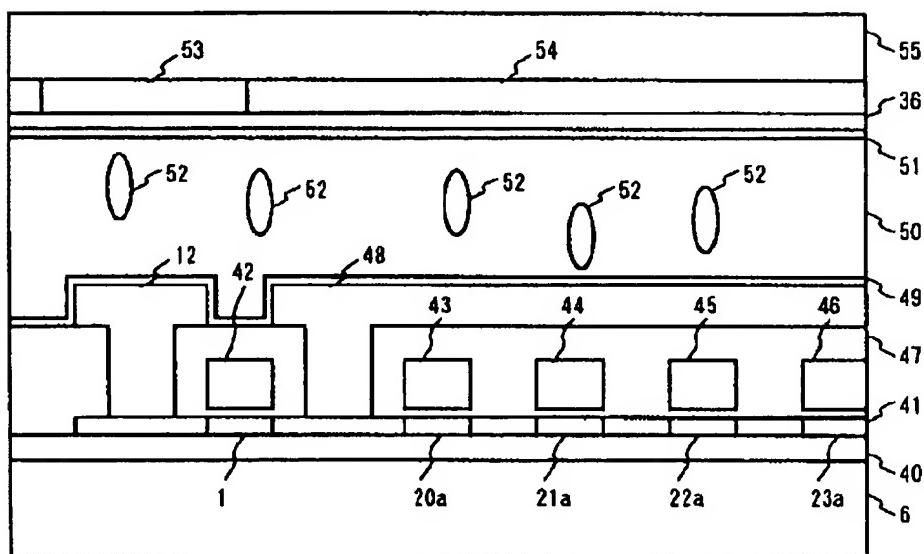
図 9



T_f : 1 フィールド期間
 T_3 : MSB (ここでは 3 ビット目と定義) データ表示期間
 T_2 : 2 ビット目の表示期間
 T_1 : LSB (ここでは 1 ビット目と定義) データ表示期間

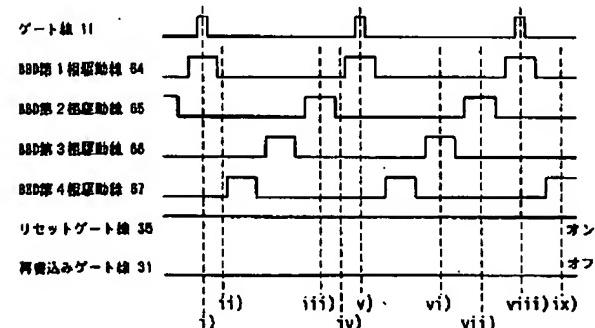
[Drawing 10]

図 10



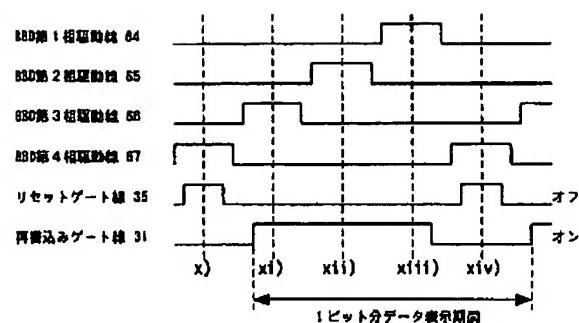
[Drawing 13]

図 13



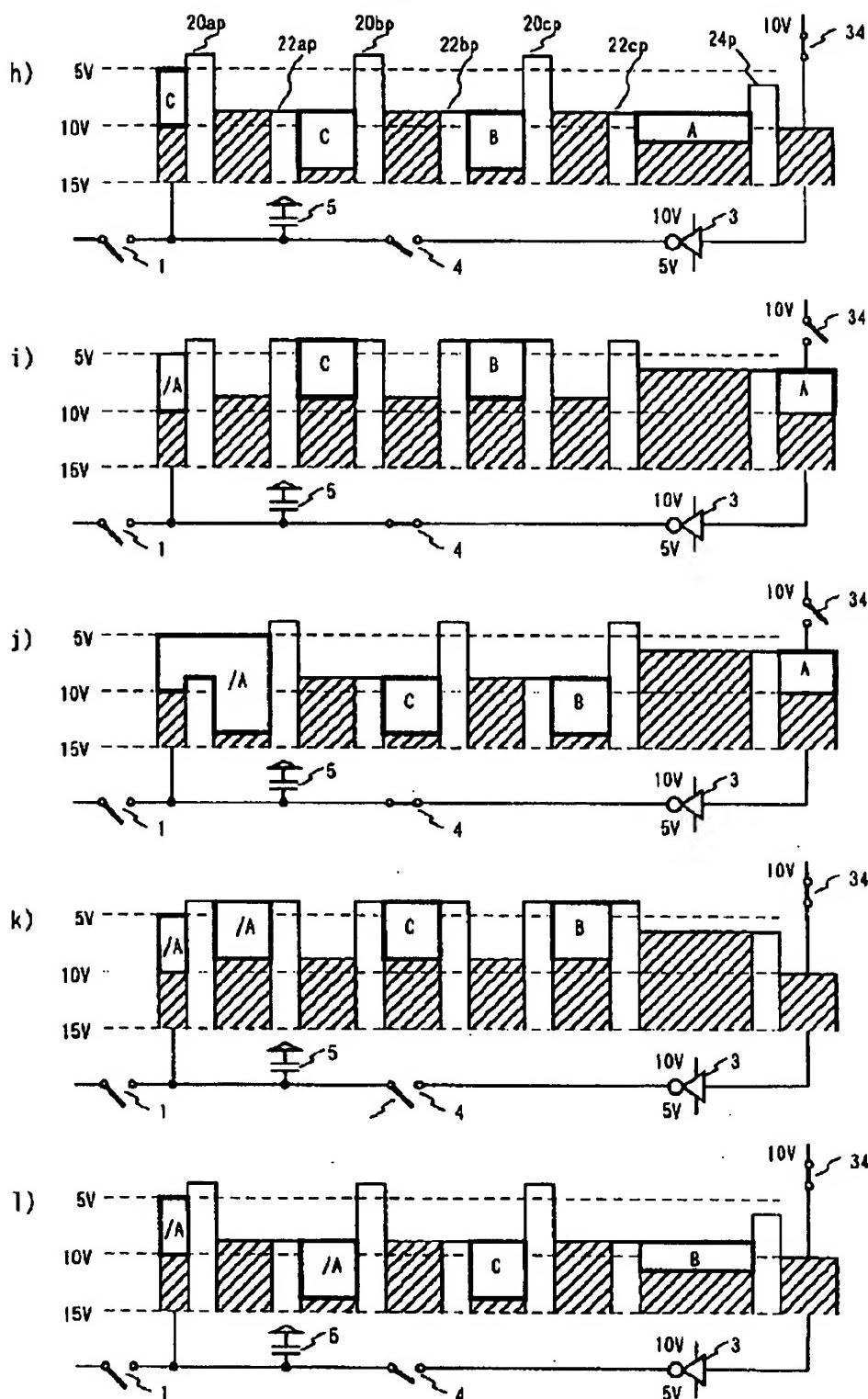
[Drawing 16]

図 16



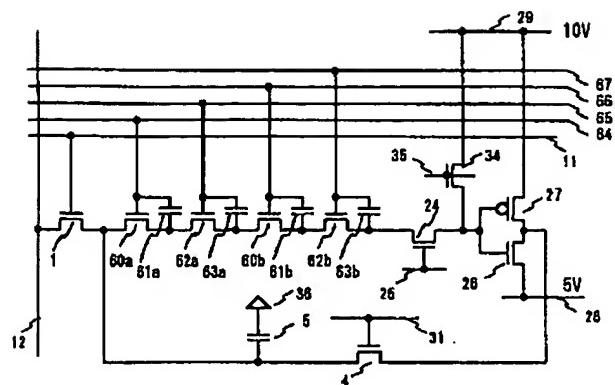
[Drawing 8]

☒ 8



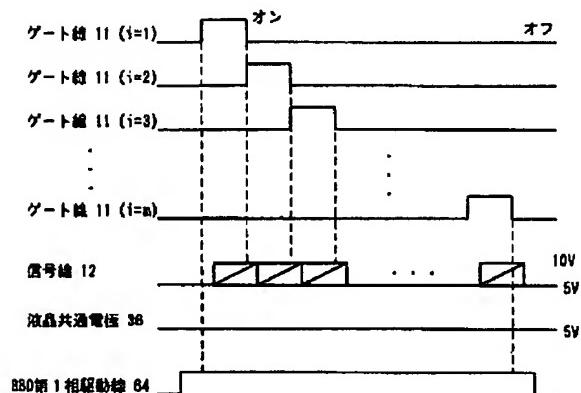
[Drawing 11]

図 11



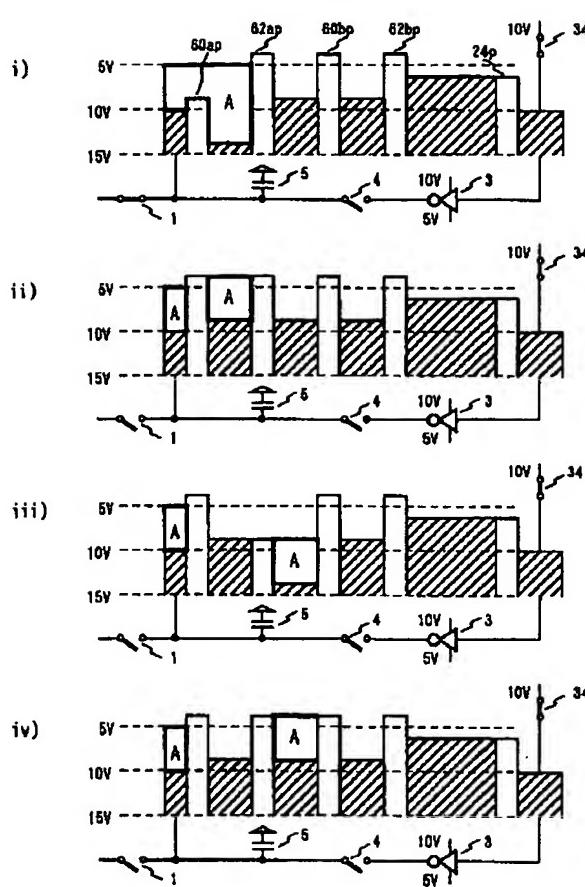
[Drawing 12]

図 12



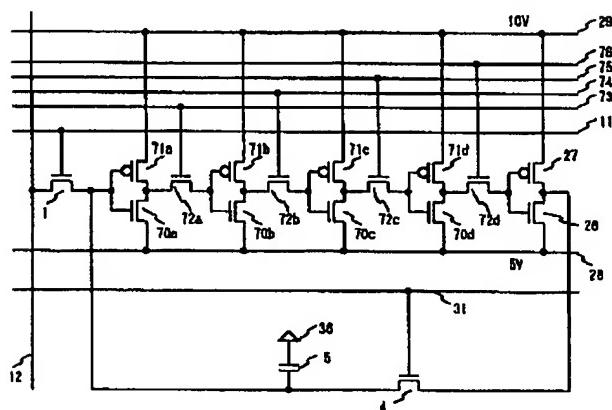
[Drawing 14]

図 14



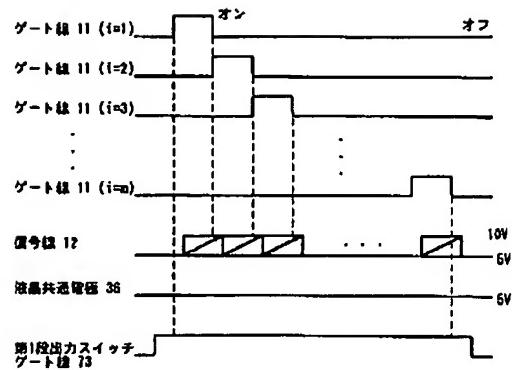
[Drawing 18]

図 18



[Drawing 19]

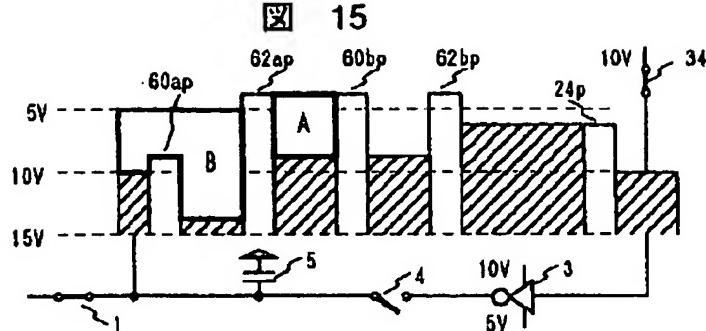
図 19



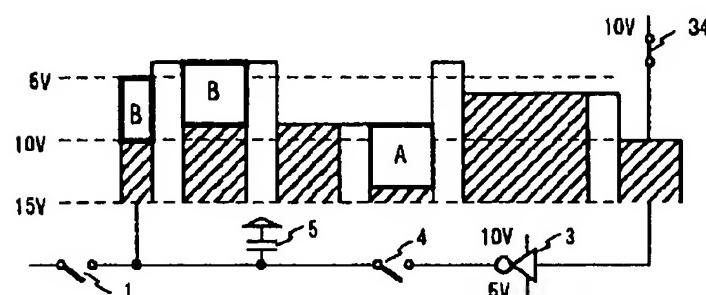
[Drawing 15]

15

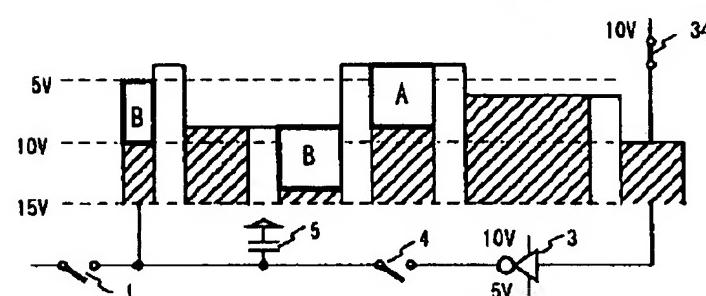
v)



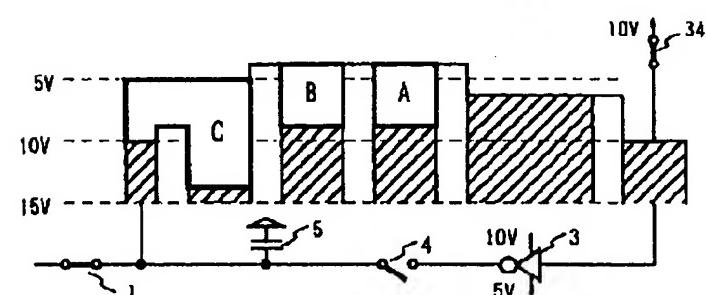
vi)



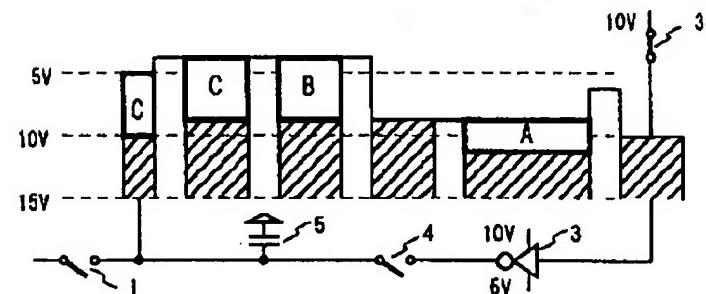
vii)



viii)

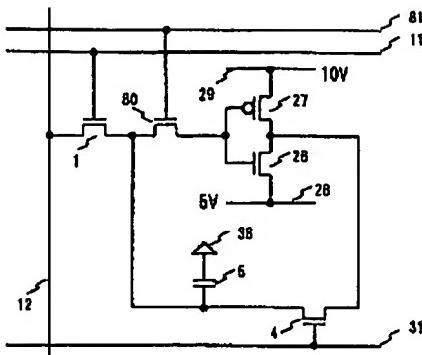


ix)



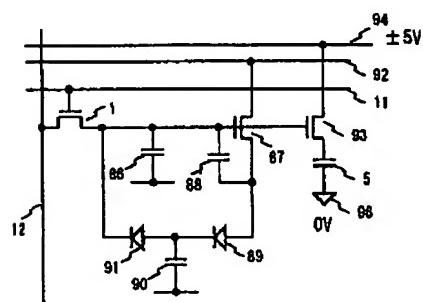
[Drawing 22]

圖 22



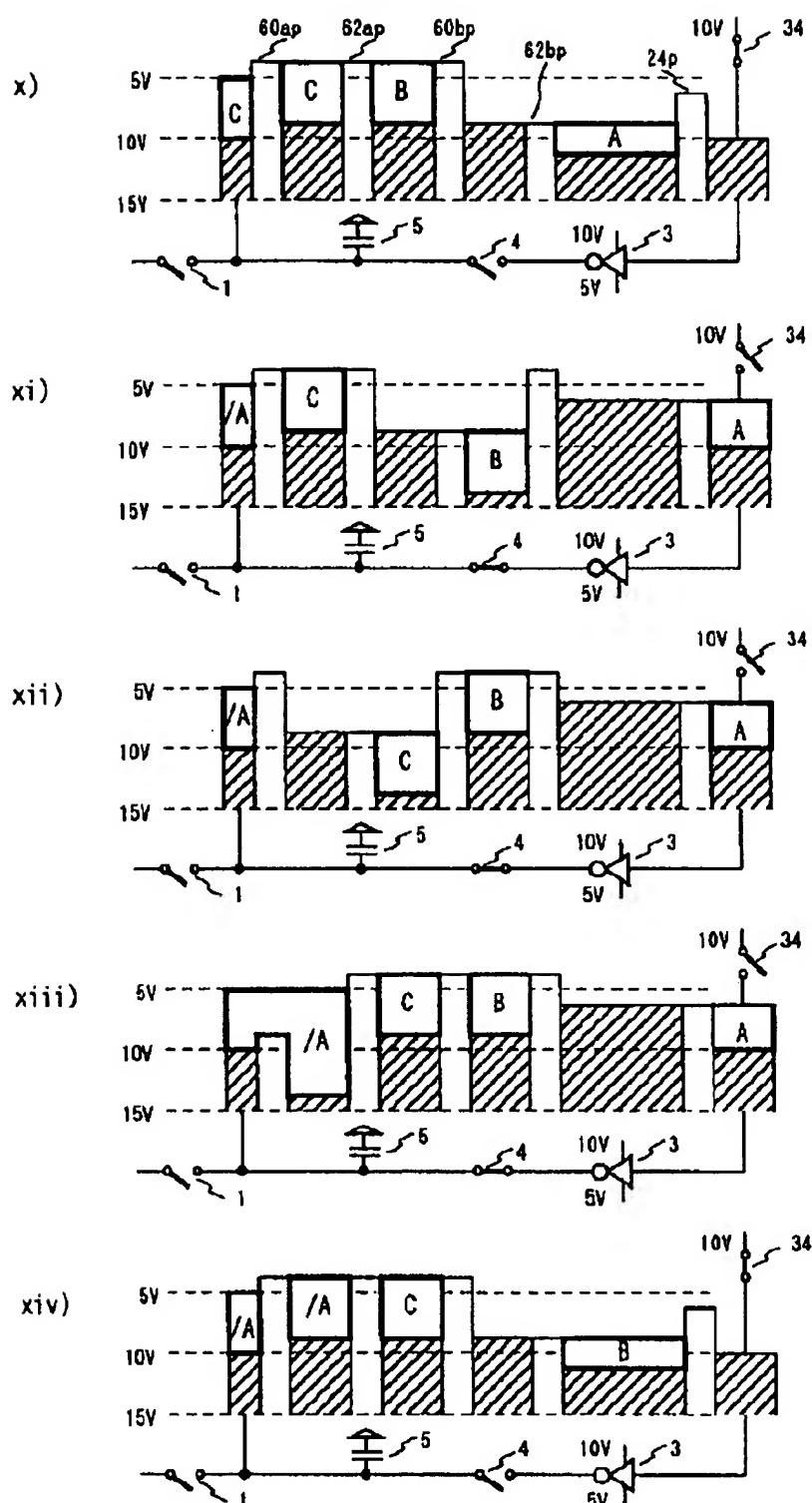
[Drawing 25]

25



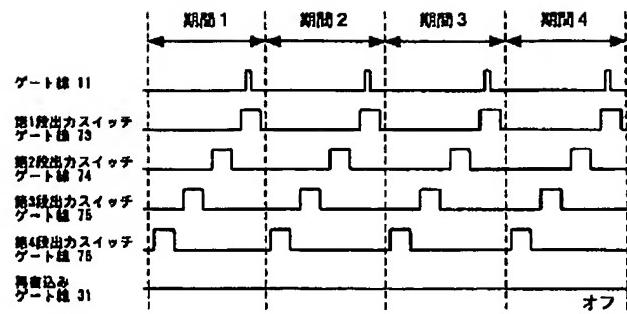
[Drawing 17]

□ 17



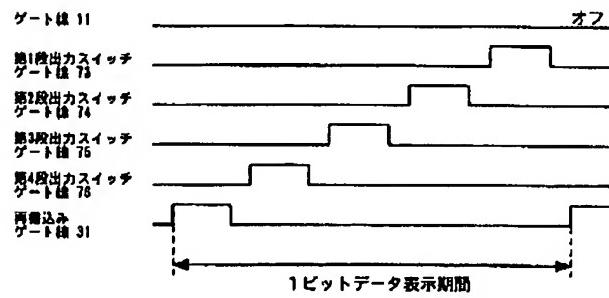
[Drawing 20]

図 20



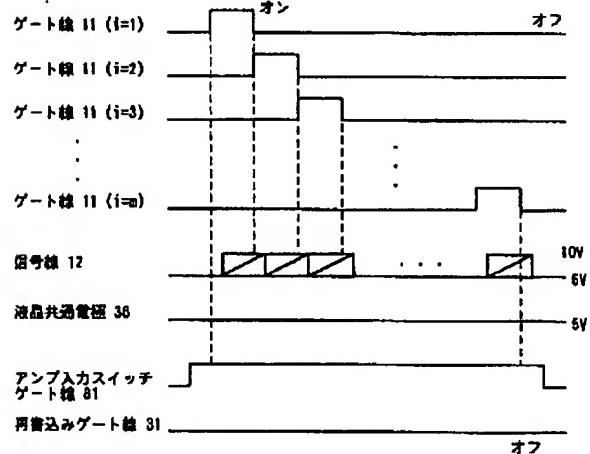
[Drawing 21]

図 21



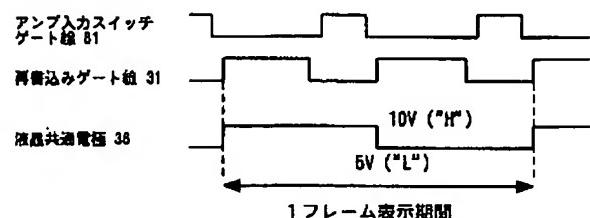
[Drawing 23]

図 23



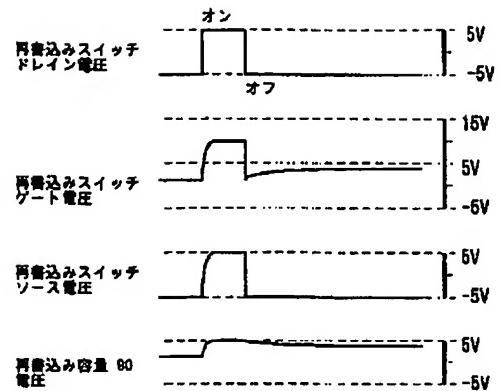
[Drawing 24]

図 24



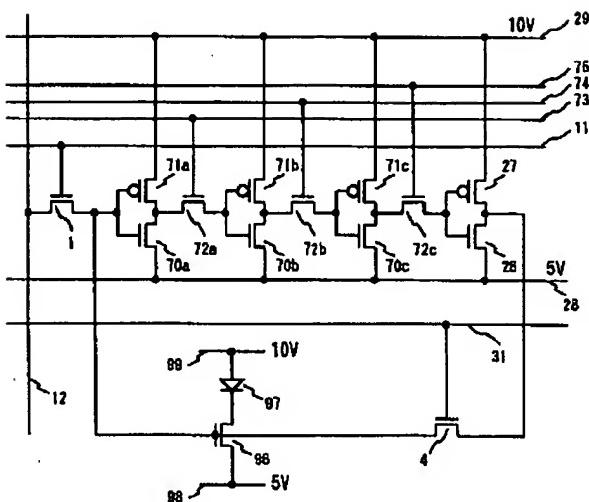
[Drawing 26]

図 26



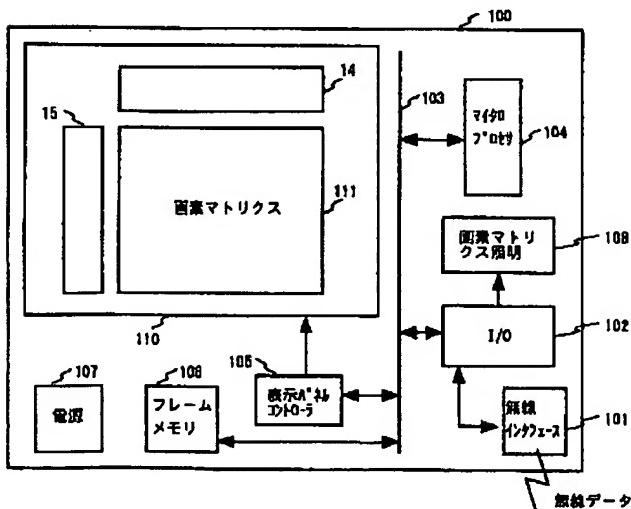
[Drawing 27]

図 27



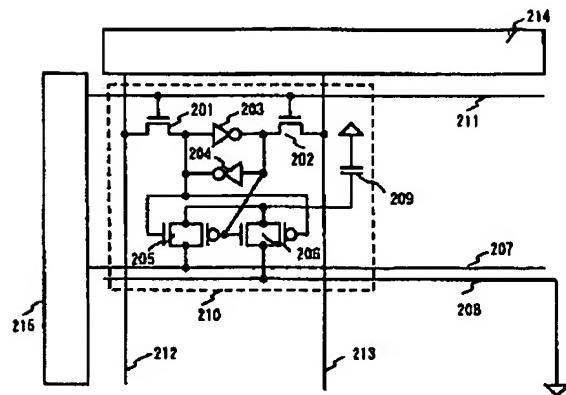
[Drawing 28]

図 28



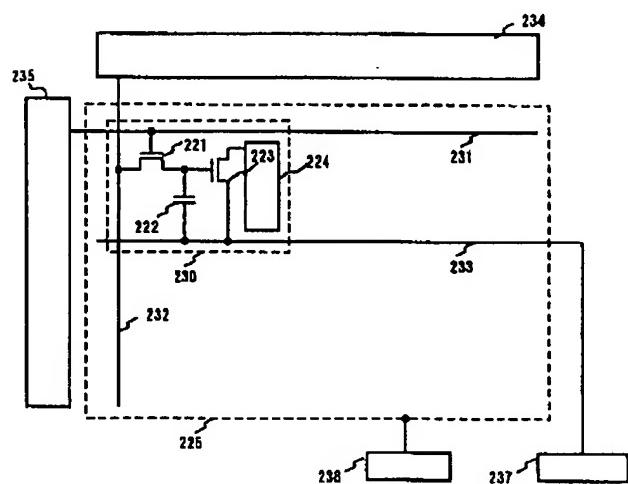
[Drawing 29]

図 29



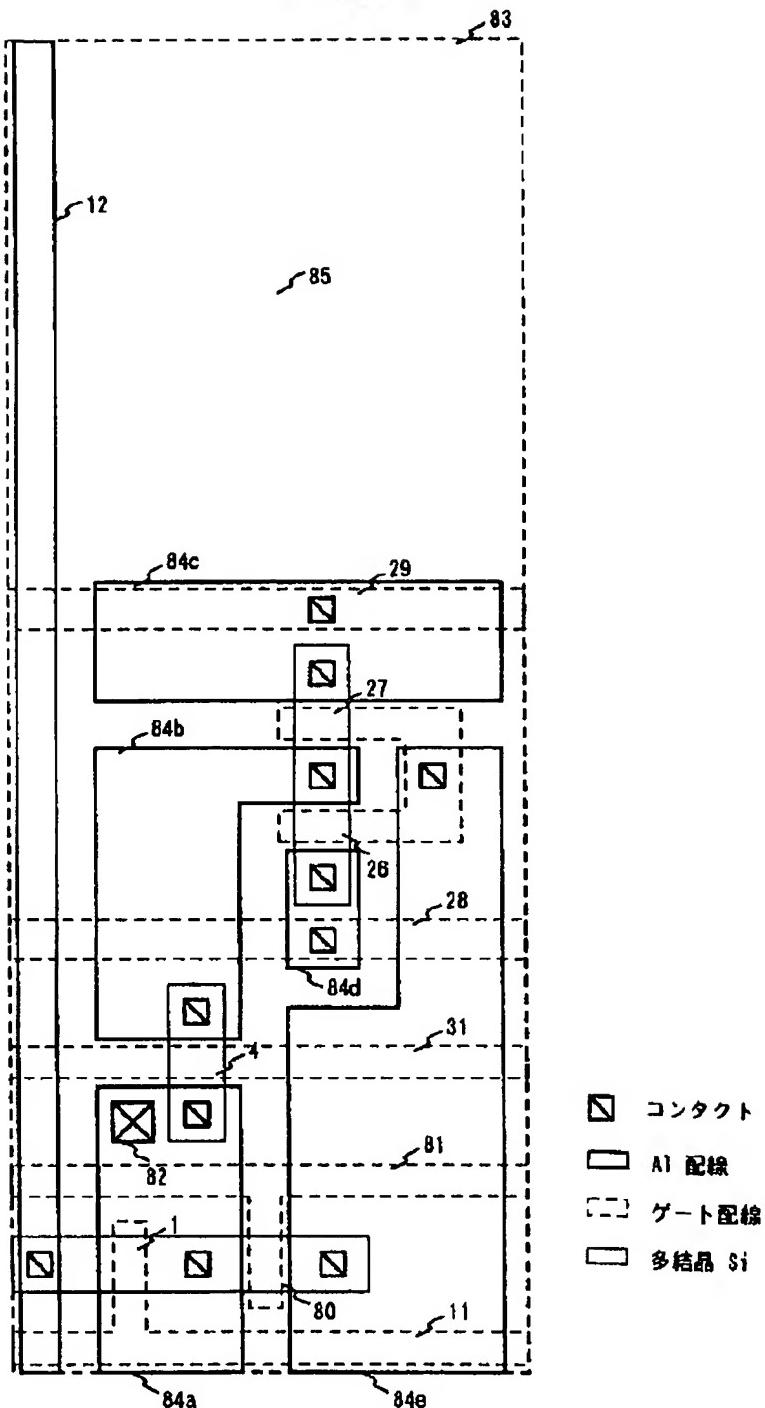
[Drawing 30]

図 30



[Drawing 31]

図 31



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-207453

(P2002-207453A)

(43)公開日 平成14年7月26日(2002.7.26)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 2 H 0 9 3
1/1368		G 0 9 F 9/30	3 8 8 5 C 0 0 6
G 0 9 F 9/30	3 3 8		3 6 5 Z 5 C 0 8 0
	3 6 5	G 0 9 G 3/20	6 1 1 A 5 C 0 9 4
		審査請求 未請求 請求項の数50 OL (全33頁)	最終頁に続く

(21)出願番号 特願2001-48(P2001-48)

(22)出願日 平成13年1月4日(2001.1.4)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 秋元 篤

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 星野 稔

茨城県ひたちなか市大字市毛882番地 株式会社日立製作所計測器グループ内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

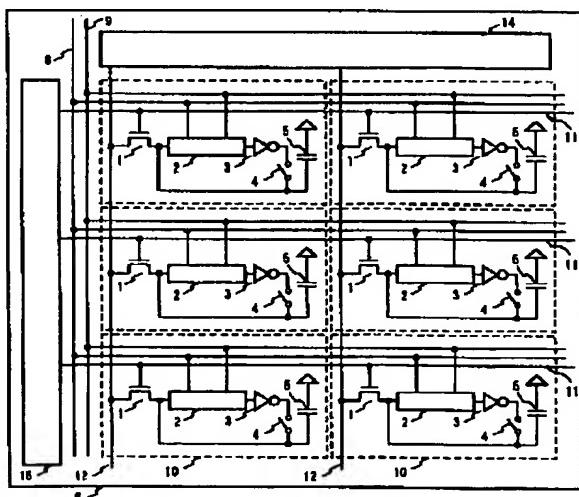
(54)【発明の名称】 画像表示装置およびその駆動方法

(57)【要約】

【課題】 画像表示装置の消費電力の削減と低価格化を両立させて行くこと。

【解決手段】 複数の画素により構成された表示部と、表示部の制御を行う制御部と、画素に表示信号を入力する表示部内に配置された信号線とを有する画像表示装置で、各画素は、少なくとも信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶する1個以上のスイッチと第一の容量を有し、第一の容量に記憶されていた表示信号を、制御部の命令に応じて信号線を介さず第一の容量に再書き込みする手段を有する。

図 1



【特許請求の範囲】

【請求項1】複数の画素により構成された表示部と、該表示部の制御を行う制御部と、該画素に表示信号を入力するために該表示部内に配置された信号線とを有する画像表示装置において、

前記画素は、少なくとも前記信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶する1個以上のスイッチと第一の容量を有し、

該第一の容量に記憶されていた表示信号を、前記制御部の命令に応じて前記信号線を介さずに前記第一の容量に再書き込みする手段を有することを特徴とする画像表示装置。

【請求項2】前記画素内に電荷の形で記憶される表示信号は1ビットであることを特徴とする請求項1に記載の画像表示装置。

【請求項3】前記第一の容量の一端は、前記画素内に設けられた第一の電界効果トランジスタのゲートに接続されていることを特徴とする請求項1に記載の画像表示装置。

【請求項4】前記第一の電界効果トランジスタは、ドレン接地接続されていることを特徴とする請求項3に記載の画像表示装置。

【請求項5】前記第一の容量の一端は、前記画素内に設けられた第二の電界効果トランジスタのゲートに接続されており、

該第二の電界効果トランジスタの一端は、液晶で構成された容量に接続されていることを特徴とする請求項3に記載の画像表示装置。

【請求項6】前記第一の容量は、液晶で構成された容量を含むことを特徴とする請求項1に記載の画像表示装置。

【請求項7】前記第一の容量に再書き込みされる表示信号が、再書き込みの度に2つの電圧値を交互にとるようにするための手段を前記画素内に有することを特徴とする請求項6に記載の画像表示装置。

【請求項8】前記第一の容量は、前記画素内に設けられた第一のスイッチを介して前記画素内に設けられたインバータ回路の出力に接続されていることを特徴とする請求項7に記載の画像表示装置。

【請求項9】前記第一の容量は、前記画素内に設けられた第二のスイッチを介して前記画素内に設けられたインバータ回路の入力に接続されていることを特徴とする請求項7に記載の画像表示装置。

【請求項10】前記インバータ回路は、CMOS(Complementary Metal Oxide Semiconductor)回路構成であることを特徴とする請求項8又は請求項9に記載の画像表示装置。

【請求項11】前記各画素には、nビットの表示信号を電荷の形で所定の時間以上記憶するための(n+1)個以上の複数の容量を有することを特徴とする請求項1に

記載の画像表示装置。

【請求項12】前記複数の容量の内に含まれる前記第一の容量は、液晶で構成された容量を含むことを特徴とする請求項11に記載の画像表示装置。

【請求項13】前記第一の容量に対してnビットの表示信号を電荷の形で順次入力する手段を前記画素内に有することを特徴とする請求項12に記載の画像表示装置。

【請求項14】前記第一の容量に対して電荷の形で順次入力されるnビットの表示信号を、(n+1)番目には1番目の表示信号の反転信号であるようにするための手段を前記画素内に有することを特徴とする請求項13に記載の画像表示装置。

【請求項15】前記画素内には前記複数の容量と同数の複数のアンプ回路を有することを特徴とする請求項11に記載の画像表示装置。

【請求項16】前記複数のアンプ回路はインバータ回路であることを特徴とする請求項15に記載の画像表示装置。

【請求項17】前記複数のインバータ回路はCMOS回路構成であることを特徴とする請求項16に記載の画像表示装置。

【請求項18】前記各画素には、電荷転送デバイス(CTD, Charge Transfer Device)を有することを特徴とする請求項1に記載の画像表示装置。

【請求項19】前記電荷転送デバイスは、BBD(Bucket Brigade Device)であることを請求項18に記載の画像表示装置。

【請求項20】前記電荷転送デバイスは複数の転送ゲートを有し、

前記制御部は該複数の転送ゲートをそれぞれ独立に駆動する手段を有することを特徴とする請求項18又は請求項19に記載の画像表示装置。

【請求項21】前記電荷転送デバイスは複数の転送ゲートを有し、

前記制御部は該複数の転送ゲートを2相のクロックで駆動する手段を有することを特徴とする請求項18又は請求項19に記載の画像表示装置。

【請求項22】前記各画素における前記複数の転送ゲートは、複数の画素間で共通に接続されていることを特徴とする請求項20又は請求項21記載の画像表示装置。

【請求項23】前記各画素における前記複数の転送ゲートは、表示部における実質的に全ての画素間で共通に接続されていることを特徴とする請求項22に記載の画像表示装置。

【請求項24】前記第一の容量は液晶で構成された容量を含むことを特徴とする請求項18に記載の画像表示装置。

【請求項25】前記第一の容量に対して、nビットの表示信号を電荷の形で順次入力する手段を前記画素内に有することを特徴とする請求項24に記載の画像表示装置。

置。

【請求項26】前記第一の容量に対して電荷の形で順次入力されるnビットの表示信号を(n+1)番目には1番目の表示信号の反転信号であるようにするための手段を上記画素内に有することを特徴とする請求項25に記載の画像表示装置。

【請求項27】前記第一の容量は、前記電荷転送デバイスに入力していることを特徴とする請求項24に記載の画像表示装置。

【請求項28】前記電荷転送デバイスの出力にはアンプ回路を有することを特徴とする請求項18に記載の画像表示装置。

【請求項29】前記アンプ回路はインバータ回路であることを特徴とする請求項28に記載の画像表示装置。

【請求項30】前記インバータ回路は、CMOS回路構成であることを特徴とする請求項29に記載の画像表示装置。

【請求項31】前記第一の容量の一端は、前記画素内に設けられた発光素子にその電流端子の一端が接続された第三の電界効果トランジスタのゲートに接続されていることを特徴とする請求項1に記載の画像表示装置。

【請求項32】前記発光素子は、有機発光ダイオード(OLED, Organic Light Emitting Diode)であることを特徴とする請求項31に記載の画像表示装置。

【請求項33】複数の画素により構成された表示部と、外部から取り込まれた表示信号を記憶し更にデータ処理を行う表示信号処理部と、該表示部と該表示信号処理部の制御を行う制御部と、該画素に表示信号を入力するために該表示部内に配置された信号線を有する画像表示装置において、

前記画素は、少なくとも前記信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶する1個以上のスイッチと第一の容量を有し、

該第一の容量に記憶されていた表示信号を前記制御部の命令に応じて前記信号線を介さずに前記第一の容量に再書き込みする手段を有することを特徴とする画像表示装置。

【請求項34】前記画素は外光を利用した反射型の画像表示手段を有することを特徴とする請求項33に記載の画像表示装置。

【請求項35】前記画素は、外光を利用した反射型の画像表示手段と、画像表示装置内に設けられた照明手段を用いた透過型ないし反射型の画像表示手段を有し、前記制御部によって両者の選択が可能であることを特徴とする請求項34に記載の画像表示装置。

【請求項36】前記スイッチは、TFT(Thin-Film-Transistor)で構成されていることを特徴とする請求項1に記載の画像表示装置。

【請求項37】前記TFTのチャネル膜は、多結晶SiT

FT(poly-Si TFT)で形成されていることを特徴とする請求項36に記載の画像表示装置。

【請求項38】前記画素には、多結晶Siをチャネル膜とした電荷転送デバイスが設けられていることを特徴とする請求項37に記載の画像表示装置。

【請求項39】前記電荷転送デバイスは、BBD(Bucket Brigade Device)であることを特徴とする請求項38に記載の画像表示装置。

【請求項40】前記TFTと前記BBDのチャネル膜は同一プロセスで形成されたものであることを特徴とする請求項39に記載の画像表示装置。

【請求項41】前記TFTと前記BBDのゲート電極は同一プロセスで形成されたものであることを特徴とする請求項39に記載の画像表示装置。

【請求項42】複数の画素により構成された表示部と、該表示部の制御を行う制御部と、該画素に表示信号を入力するために該表示部内に配置された信号線を有し、前記画素が、少なくとも前記信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶する1個以上のスイッチと第一の容量を有している画像表示装置の駆動方法であって、

前記第一の容量に記憶されていた表示信号を、前記制御部の命令に応じて該信号線を介さずに前記第一の容量に再書き込みすることを特徴とする画像表示装置の駆動方法。

【請求項43】前記第一の容量は表示部共通電極との間に液晶を挟んで構成された容量を含んでおり、前記第一の容量への表示信号の再書き込みは毎回、前回のデータに対する反転データを書き込み、

この反転データ書き込みに実質的に同期して共通電極も反転駆動させることを特徴とする請求項42に記載の画像表示装置の駆動方法。

【請求項44】前記各画素には複数の容量と1個以上のアンプ回路を有し、前記複数の容量に記憶されている複数の表示信号を順番に該アンプ回路に入力することを特徴とする請求項42に記載の画像表示装置の駆動方法。

【請求項45】前記第一の容量は表示部共通電極との間に液晶を挟んで構成された容量を含んでおり、

前記アンプ回路の出力を、前記スイッチを介して所定の間隔で上記第一の容量に入力させることを特徴とする請求項44に記載の画像表示装置の駆動方法。

【請求項46】前記アンプ回路が上記スイッチを介して、前記第一の容量に表示信号を入力する際の時間間隔は、各表示信号毎に実質的に2倍ずつ異なっていることを特徴とする請求項45に記載の画像表示装置の駆動方法。

【請求項47】前記アンプ回路が上記スイッチを介して、前記第一の容量に表示信号を一通り入力することと実質的に同期して、前記共通電極も反転駆動させること

を特徴とする請求項45に記載の画像表示装置の駆動方法。

【請求項48】前記信号線を介した前記複数の容量への複数の表示信号の書き込みは、書き込みがなされる複数の画素全体に対して、表示信号各1ビットずつなされることを特徴とする請求項44に記載の画像表示装置の駆動方法。

【請求項49】前記画素における前記第一の容量に対する再書き込みを停止し、その代りに前記第一の容量に対して信号線を介して、アナログないし多値電圧を有する表示信号の書き込みを行うことを特徴とする請求項42に記載の画像表示装置の駆動方法。

【請求項50】複数の画素により構成された表示部と、外部から取り込まれた表示信号を記憶し、更にそのデータ処理を行う表示信号処理部と、該表示部と該表示信号処理部の制御を行う制御部と、該画素に表示信号を入力するために該表示部内に配置された信号線を有し、前記画素は、少なくとも前記信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶するための1個以上のスイッチと第一の容量を有した画像表示装置の駆動方法であって、

前記第一の容量に記憶されていた表示信号を、前記制御部の命令に応じて前記信号線を介さずに、前記第一の容量に再書き込む第一のモードと、

前記第一の容量に対する前記再書き込みを停止し、その代りに該第一の容量に対して該信号線を介して、アナログないし多値電圧を有する表示信号を書込む第二のモードとを有し、

前記第一のモードにおける表示信号処理部の消費電力を、前記第二のモードにおける表示信号処理部の消費電力よりも低減させることを特徴とする画像表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は特に低消費電力で画像表示が可能な、画像表示装置に関する。

【0002】

【従来の技術】図29及び図30を用いて、2つの従来の技術に関して説明する。

【0003】図29は従来の技術を用いた、TFT液晶表示パネルの構成図である。液晶容量209を有する画素210が表示部にマトリクス状に配置され（図面の簡略化のため、図29では画素210は1個だけ記載した）、画素210はゲート線211と交流駆動信号線207を介してゲート線駆動回路215に、及び正信号線212と負信号線213を介して信号線駆動回路214に接続されている。画素210にはインバータ203及びインバータ204で構成されたSRAM(Static Random Access Memory)が設けられており、その2つのデータ入出力ノードはそれぞれデータ入力スイッチ210、

202を介して正信号線212と負信号線213に接続されている。またこのデータノードは同時に液晶容量書き込みスイッチ205、206にも接続されている。前述の液晶容量209はこれらの液晶容量書き込みスイッチ205、206を介して、交流駆動信号線207及びリセット電圧線208に接続されている。

【0004】以下、本従来例の動作を説明する。ゲート線駆動回路215がゲート線211を介して所定の画素行のデータ入力スイッチ201、202を開閉することによって、信号線駆動回路214が正信号線212と負信号線213に出力した1ビットの相補画像データは、画素210内のインバータ203及びインバータ204で構成されたSRAMに入力される。電力が供給されている限り、この後SRAMは入力された1ビットの画像データを静的に維持する。SRAMに書き込まれた画像データによって、液晶容量書き込みスイッチ205、206のいずれかがオンになり、液晶容量209には交流駆動信号線207或いはリセット電圧線208の電圧が選択的に印加される。即ちここで交流駆動信号線207が選択されていれば液晶容量209には交流電圧が印加され、リセット電圧線208が選択されていれば液晶容量209には常に電圧が印加されない。これによって本液晶表示パネルは、ゲート線駆動回路215によるゲート線211走査、及び信号線駆動回路214による正信号線212と負信号線213へのデータ出力を停止しても、1ビットの画像表示を継続することができる。

【0005】このような本従来技術に関しては、例えば公開特許広報／特開平8-286170号等に詳しく記載されている。

【0006】次に図30を用いて、他の従来の技術を説明する。

【0007】図30は他の従来の技術を用いたTFT液晶表示パネルの構成図である。画素電極224と対向電極225の間に液晶容量を有する画素230が、表示部にマトリクス状に配置され（図面の簡略化のため、図30では画素230は1個だけ記載した）、画素230はゲート線231を介してゲート線駆動回路235に、及び信号線232を介して信号線駆動回路234に接続されている。画素230にはデータ入力スイッチ221及び保持容量222で構成されたDRAM(Dynamic Random Access Memory)が設けられており、データ入力スイッチ221の他端は信号線232に接続されている。またこのDRAMのデータノードは画素駆動スイッチ223のゲートに接続され、前述の液晶容量は画素駆動スイッチ223を介して、共通電極線233に接続される。なお共通電極線233は共通電極駆動回路237に、対向電極225は対向電極駆動回路236に接続されている。

【0008】以下、本従来例の動作を説明する。ゲート線駆動回路235がゲート線231を介して所定の画素

行のデータ入力スイッチ221を開閉することによって、信号線駆動回路234が信号線232に出力した1ビットの画像データは、データ入力スイッチ221及び保持容量222で構成されたDRAMに入力される。このDRAMに書き込まれた画像データによって、画素駆動スイッチ223はオンないしオフ状態に固定されることになる。ここで対向電極225には対向電極駆動回路236から交流電圧が印加され、共通電極線233には共通電極駆動回路237より所定の電圧が印加されているため、画素駆動スイッチ223がオンの場合には画素電極224と対向電極225の間の液晶容量には交流電圧が印加され、画素駆動スイッチ223がオフの場合には液晶容量には常に電圧は印加されない。これによって本液晶表示パネルは、DRAMのデータがリーク電流によって失われるまでの期間、ゲート線駆動回路235によるゲート線231走査、及び信号線駆動回路234による信号線232へのデータ出力を停止しても、1ビットの画像表示を継続することができる。この画像データを静的に維持するためには、周期的に適宜ゲート線駆動回路235によるゲート線231走査、及び信号線駆動回路234による信号線232へのデータ出力を行ってDRAMを再書きみすれば良い。

【0009】このような本従来技術に関しては、例えば公開特許広報／特開平9-258168号等に詳しく記載されている。

【0010】さて以上のような従来技術によれば、ゲート線走査や信号線へのデータ出力を停止、或いはその回数を削減することができ、TFT液晶表示パネルの消費電力を削減することができる。

【0011】

【発明が解決しようとする課題】上記従来技術によれば、消費電力の削減と低価格化を十分に両立させることには困難があった。

【0012】画素内にSRAMを設ける一つ目の従来例では、ゲート線走査や信号線へのデータ出力を完全に停止して消費電力を大きく削減できるという長所がある反面、SRAMはトランジスタ数が多いために必然的に画素構造が複雑になってしまうという問題点を有する。画素構造が複雑化すると必然的に歩留りが低下するため、このことは画像表示装置の価格上昇を招いてしまう。

【0013】一方画素内にDRAMを設ける二つ目の従来例では、DRAMはトランジスタ数が少ないために画素構造が単純になり、歩留りの向上による画像表示装置の価格低減が期待できるという長所がある。しかしその一方DRAMは原理的に再書き込み（リフレッシュ）が必要するために、ゲート線駆動回路235によるゲート線走査や、信号線駆動回路234による信号線へのデータ出力を完全に停止することはできないという問題点を有する。特に信号線へのデータ出力に関しては、表示部全面の書き込みには画素数の回数だけ、比較的寄生容量の

大きい信号線にデータを入力する必要があるため、より消費電力の削減を図る上では問題になる。更に再書き込みのための画像表示データは表示部の外のどこかに保持しておく必要があり、そのための消費電力やコストの増加を招いてしまう。

【0014】更に上記従来技術は、画素毎に1ビットの画像データ表示を前提に検討されているが、消費電力の削減と低価格化を図りつつも、多ビットの画像データ表示がより望ましいことは言うまでもない。

【0015】

【課題を解決するための手段】本出願の一実施態様によれば、消費電力の削減と低価格化を両立させるという課題は、複数の画素により構成された表示部と、表示部の制御を行う制御部と、画素に表示信号を入力するために表示部内に配置された信号線を有する画像表示装置で、画素は少なくとも信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶するための1個以上のスイッチと第一の容量を有し、更に第一の容量に記憶されていた表示信号を、制御部の命令に応じて信号線を介さずに、第一の容量に再書き込みする手段を有することによって解決することができる。

【0016】更にこれに加えて多ビットの画像データを表示するという課題は、上記各画素内に、nビットの表示信号を電荷の形で所定の時間以上記憶するための(n+1)個以上の複数の容量を設けることによって解決することができる。

【0017】また上記各画素に電荷転送デバイス(CTD, Charge Transfer Device)を設けることで、画素構造の更なる単純化を図ることにより、一層の低価格化を図ることができる。

【0018】また或いは消費電力の削減と低価格化を両立させるという上記の課題は、複数の画素により構成された表示部と、外部から取り込まれた表示信号を記憶し、更にそのデータ処理を行う表示信号処理部と、表示部と表示信号処理部の制御を行う制御部と、画素に表示信号を入力するために表示部内に配置された信号線を有する画像表示装置において、画素は少なくとも、信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶するための1個以上のスイッチと第一の容量を有し、更に第一の容量に記憶されていた表示信号を、制御部の命令に応じて信号線を介さずに、第一の容量に再書き込みする手段を有することによって解決することができる。

【0019】また或いは消費電力の削減と低価格化を両立させるという上記の課題は、複数の画素により構成された表示部と、表示部の制御を行う制御部と、画素に表示信号を入力するために表示部内に配置された信号線を有する画像表示装置において、画素は少なくとも、信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶するための1個以上のスイッチと第一の容量を

有しており、第一の容量に記憶されていた表示信号を、制御部の命令に応じて信号線を介さずに、第一の容量に再書き込みする駆動方法を用いることによって解決することができる。

【0020】また或いは消費電力の削減と低価格化を両立させるという上記の課題は、複数の画素により構成された表示部と、外部から取り込まれた表示信号を記憶し、更にそのデータ処理を行う表示信号処理部と、表示部と表示信号処理部の制御を行う制御部と、画素に表示信号を入力するために表示部内に配置された信号線を有する画像表示装置において、画素は少なくとも、信号線を介して入力された表示信号を電荷の形で所定の時間以上記憶するための1個以上のスイッチと第一の容量を有しており、第一の容量に記憶されていた表示信号を、制御部の命令に応じて信号線を介さずに、第一の容量に再書き込みする第一のモードと、第一の容量に対する上記再書き込みを停止し、その代りに第一の容量に対して信号線を介して、アナログないし多値電圧を有する表示信号を書込む第二のモードとを有し、上記第一のモードにおける表示信号処理部の消費電力を、上記第二のモードにおける表示信号処理部の消費電力よりも低減させる駆動方法を用いることによって解決することができる。

【0021】

【発明の実施の形態】(実施例1)以下図1～図10を用いて、本発明の実施例1に関して説明する。

【0022】始めに本実施例の全体構成に関して述べる。

【0023】図1は本実施例であるpoly Si-TFT液晶表示パネルの構成図である。

【0024】液晶容量5を有する画素10が表示部にマトリクス状に配置され(図面の簡略化のため、図1では画素10は6個だけ記載した)、画素10はゲート線11を介してゲート線駆動回路15に、及び信号線12を介して信号線駆動回路14に接続されている。画素10にはデータ入力スイッチ1及び液晶容量5で構成されたDRAM(Dynamic Random Access Memory)が設けられており、データ入力スイッチ1の他端は信号線12に接続されている。またこのDRAMのデータ保持ノードは後述するBBD(Bucket Brigade Device)2に入力され、更にBBDの出力はインバータ3と再書き込みスイッチ4を介して、再度DRAMのデータ保持ノードに入力している。なお各画素のBBD2はBBD第1駆動線8とBBD第2駆動線9に共通に接続されている。また以上の構造はガラス基板6上に設けられている。

【0025】以下、本実施例の動作の概要を説明する。

【0026】ゲート線駆動回路15がゲート線11を介して所定の画素行のデータ入力スイッチ1を開閉することによって、信号線駆動回路14が信号線12に出力した画像データは、1ビット毎にデータ入力スイッチ1及び液晶容量5で構成されるDRAMに入力される。この

D RAMに書き込まれた画像データによって、液晶容量5は画像の表示を行うことができる。次にこのD RAMに書き込まれた画像データは、BBD第1駆動線8及びBBD第2駆動線9によって駆動されるBBD2によって、BBDの中に1ビット毎に読み込まれる。本実施例における各画素は画素内に設けられた複数のメモリを用いて3ビットの表示が可能であり、後述するようにBBDには最大3ビットの画像データを順次蓄積することが可能である。BBDに蓄積された画像データはこの後に順次、インバータ3及び再書き込みスイッチ4を介して、液晶容量5で構成されるD RAMに再度書き込まれる。これはD RAMデータのリフレッシュに相当するが、このときの画像データはインバータ3の働きによって“H”, “L”的値が反転する。そこでこの再書き込みに同期させて液晶共通電極(図示せず)を反転駆動することによって、液晶に対する交流駆動を実現することができる。

【0027】以上のような構成及び動作を採用することによって、本実施例はD RAMのデータを定期的にリフレッシュしつつ、簡単な画素構成で3ビットの画像表示を行うことができる。本実施例においては画素内のメモリとして単純なD RAM回路を採用しているにもかかわらず、外部からの画像データの再書き込みは不要であり、リフレッシュのために信号線12を駆動する必要はない。

【0028】次に本実施例におけるBBDを含む画素の詳細な構造、及びその動作について説明する。

【0029】図2は本実施例における画素10の内部構成図である。

【0030】画素10にはデータ入力スイッチ1及び液晶容量5で構成されたD RAMが設けられており、データ入力スイッチ1の他端は信号線12に接続されている。ここで36は液晶共通電極である。このD RAMのデータ保持ノードが入力する3ビットのBBD2は、スイッチ20a, 22a, 20b, 22b, 20c, 22cと容量21a, 23a, 21b, 23b, 21c, 23cからなるデータ転送部と、出力ゲート24及びリセットスイッチ34からなるデータ出力部で構成されている。BBD2の出力はpMOSドライバ27とnMOS

ドライバ26で構成されたCMOS(Complementary MOS)インバータ3に入力し、更にその出力は再書き込みスイッチ4を介して、再度D RAMのデータ保持ノードに入力している。BBD2の各スイッチ及び容量は、スイッチ20a, 20b, 20cと容量21a, 21b, 21cがBBD第1駆動線8に、スイッチ22a, 22b, 22cと容量23a, 23b, 23cがBBD第2駆動線9にそれぞれ接続されている。また出力ゲート24とリセットスイッチ34、再書き込みスイッチ4のゲートはそれぞれ、出力ゲート線25とリセットゲート線35、再書き込みゲート線31に接続されている。なおリセ

シトスイッチ34のドレインとCMOSインバータ3の高電圧側端子は10V電源線29に、CMOSインバータ3の低電圧側端子は5V電源線28に接続されている。

【0031】以下、本実施例における画素の動作を説明する。

【0032】本実施例においては、BBDを動作させない、即ち画素メモリを用いない状態では、動画像表示に対応可能なリアルタイムでの多値、ないしアナログ表示が可能であるので、まずこれについて説明する。

【0033】前述のように、ゲート線駆動回路15がゲート線11を介して所定の画素行のデータ入力スイッチ1を開閉することによって、信号線駆動回路14が信号線12に出力した画像データは、データ入力スイッチ1を介して液晶容量5に入力される。言うまでもなく、ここでは再書き込みゲート線31により再書き込みスイッチ4はオフのままである。この状態の画像データ書き込みはごく一般的 TFT 液晶ディスプレイと同様であり、液晶共通電極の直流駆動や交流駆動の選択にかかわらず、多値ないしアナログの画像表示が可能である。なおこの場合は、消費電力を低減するためには10V電源線29と5V電源線28を同電圧に落としておくことが好ましい。またBBD第1駆動線8、BBD第2駆動線9は常時オフしておくことが、BBDの寄生効果を回避する上では望ましい。

【0034】次に画素に対する3ビットデジタル画像データの書き込み動作について、図3～図6を用いて以下に述べる。

【0035】図3は1ビット分のデジタル画素データを全画素に渡って書き込む際の、画素数をm行としたときの各行のゲート線11（iはゲート線の行番号を表す）、任意の信号線12、液晶共通電極36、BBD第1駆動線8の駆動波形である。なお本明細書中の各図面においては、駆動波形は上をオンないし高電圧、下をオフないし低電圧で表すものとする。1ビット分の画素データの書き込みに際しては、始めにBBD第1駆動線8がオンになり、次いでゲート線11に走査された各行のデータ入力スイッチが順次オンしていく。このとき信号線12には、ゲート線11の駆動パルスより若干遅れて画像データが入力される。以上の動作により、ゲート線11で走査された全画素に対する1ビット分の画素データの書き込みが完了する。なおこのとき、液晶共通電極36の電圧は一定値をとる。

【0036】次に3ビット分のデジタル画素データを書き込む際の、画素の動作について説明する。

【0037】図4はこの際のBBD第1駆動線8、BBD第2駆動線9、リセットゲート線35、再書き込みゲート線31の駆動波形である。また図5及び図6は、図4中に示したa)～g)の各時点におけるBBDのチャネルポテンシャルを示したものである。ここではポテンシ

ヤルは下が正である。なおスイッチ20a、22a、20b、22b、20c、22c、出力ゲート24におけるチャネルポテンシャルを、それぞれ20ap、22ap、20bp、22bp、20cp、22cp、24pとして図示した。またA、B、Cは、それぞれ画素における3ビットの画像データを表す信号電荷（ここでは電子）であり、データの“L”／“H”は、この信号電荷が存在する／存在しないで区別される。但し説明のために、図中にはA、B、Cの信号電荷は敢えて全て記入している。

【0038】以下、図4中に示したa)～g)の各時点における駆動波形及びBBDのチャネルポテンシャルの変化を、図5及び図6を用いて順次説明する。なおa)～g)の期間を通して、3ビット分のデジタル画素データを読み込む際には常に、リセットゲート線35で駆動されるリセットスイッチ34はオン状態でBBDから出力される電荷をクリアし続けると同時に、再書き込みゲート線31で駆動される再書き込みスイッチ4はオフされておりインバータ3出力から液晶容量5への再書き込みを遮断する。

【0039】始めに図4及び図5a) b) c) を用いて、信号線12から画素内BBD2への1ビット分のデジタル画素データの読み込みについて説明する。

【0040】a)：BBD第1駆動線8がオン、BBD第1駆動線9がオフであり、図3を用いて説明した各画素への1ビット画像データの書き込みタイミングに相当する。このときスイッチ20aはオンであるため、ゲート線11がオンした際に信号線12からデータ入力スイッチ1を介して入力された信号電荷Aは、液晶容量5の他に容量21aにも入力、保持される。

【0041】b)：BBD第1駆動線8がターンオフすることによってスイッチ20aがオフし、信号電荷Aは20ap、22apの2つのポテンシャル障壁間に閉じ込められる。

【0042】c)：BBD第2駆動線9がターンオンすることによって、信号電荷Aはスイッチ22aを経て容量23aに移動し、22ap、20bpの2つのポテンシャル障壁間に閉じ込められる。

【0043】次に図4及び図6d) e) f) g) を用いて、続く2ビット分のデジタル画素データの読み込みについて説明する。

【0044】d)：BBD第1駆動線8がオン、BBD第2駆動線9がオフであり、再度図3を用いて説明した各画素への1ビット画像データの書き込みタイミングに相当する。このときスイッチ20aはオンであるため、ゲート線11がオンした際に信号線12からデータ入力スイッチ1を介して入力された信号電荷Bは、液晶容量5の他に容量21aにも入力、保持される。同時に信号電荷Aはスイッチ20bを経て容量21bに移動し、20bp、22bpの2つのポテンシャル障壁間に閉じ込め

られる。

【0045】e) : BBD第1駆動線8がオフ、BBD第2駆動線9がオンであり、信号電荷Bはスイッチ22aを経て容量23aに移動し、22ap, 20bpの2つのポテンシャル障壁間に閉じ込められる。同時に信号電荷Aはスイッチ22bを経て容量23bに移動し、22bp, 20cpの2つのポテンシャル障壁間に閉じ込められる。

【0046】f) : BBD第1駆動線8がオン、BBD第2駆動線9がオフであり、再度図3を用いて説明した各画素への1ビット画像データの書き込みタイミングに相当する。このときスイッチ20aはオンであるため、ゲート線11がオンした際に信号線12からデータ入力スイッチ1を介して入力された信号電荷Cは、液晶容量5の他に容量21aにも入力、保持される。同時に信号電荷Bはスイッチ20bを経て容量21bに移動し、20bp, 22bpの2つのポテンシャル障壁間に閉じ込められる。同時に信号電荷Aはスイッチ20cを経て容量21cに移動し、20cp, 22cpの2つのポテンシャル障壁間に閉じ込められる。

【0047】g) : BBD第1駆動線8がオフ、BBD第2駆動線9がオンであり、信号電荷Cはスイッチ22aを経て容量23aに移動し、22ap, 20bpの2つのポテンシャル障壁間に閉じ込められる。同時に信号電荷Bはスイッチ22bを経て容量23bに移動し、22bp, 20cpの2つのポテンシャル障壁間に閉じ込められる。同時に信号電荷Aはスイッチ22cを経て容量23cに移動し、22cp, 24pの2つのポテンシャル障壁間に閉じ込められる。

【0048】以上で3ビット分のデジタル画素データの画素への読み込みが完了する。なお図5、図6では判り難いが、容量23cの容量値は他のBBD容量21a, 23a, 21b, 23b, 21cより大きく、本実施例では他のBBD容量の約2倍に設計されている。これに関しては図8の説明において再度述べる。

【0049】次に画素における3ビットデジタル画像データの表示と再書き込み動作について、図7～図9を用いて以下に述べる。

【0050】図7は画素における3ビットデジタル画像データの表示と再書き込み動作の際のBBD第1駆動線8、BBD第2駆動線9、リセットゲート線35、再書き込みゲート線31の駆動波形である。また図8は、図7中に示したh)～1)の各時点におけるBBDのチャネルポテンシャルを示したものである。ここではポテンシャルは下が正である。なお図5、図6と同様に、スイッチ20a, 22a, 20b, 22b, 20c, 22c, 出力ゲート24におけるチャネルポテンシャルを、それぞれ20ap, 22ap, 20bp, 22bp, 20cp, 22cp, 24pとして図示した。またA, B, Cは、それぞれ画素における3ビットの画像データを表す

信号電荷であり、データの“L”／“H”は、この信号電荷が存在する／存在しないで区別される。また／AはAの反転信号を意味しているため、例えばAに信号電荷が存在するならば、／Aには信号電荷が存在しないことになる。しかしながらここでは説明のために、図中のA, B, C同様、／Aの信号電荷も敢えて存在するかのように表現してある。

【0051】以下、h)～1)の各時点における駆動波形及びBBDのチャネルポテンシャルの変化を、それぞれ図7及び図8を用いて順次説明する。なおh)～1)の期間を通して、常にゲート線11とこれで制御されるデータ入力スイッチ1はオフされており、信号線12には電力を消費しないように直流電圧が印加、或いは接地されている。

【0052】h) : BBD第1駆動線8がオフ、BBD第2駆動線9がオンであり、図6におけるg)の状態と同一である。信号電荷Cは22ap, 20bpの2つのポテンシャル障壁間に、信号電荷Bは22bp, 20cpの2つのポテンシャル障壁間に、信号電荷Aは22cp, 24pの2つのポテンシャル障壁間に閉じ込められている。

【0053】i) : 次にリセットゲート線35によりリセットスイッチ34がオフしてインバータ3の入力端子がフローティングとなり、次いでBBD第2駆動線9がターンオフすることによって、信号電荷Aは出力ゲート24のポテンシャル障壁24pを超えてインバータ3の入力端子に入力される。さてここで出力ゲート線25には常時一定の電圧が印加されているため、ポテンシャル障壁24pも一定値を取ることに注意が必要である。ポ

テンシャル障壁24pに一定値を与えておくのは、BBDの出力端における電圧値を大きくしないためであるが、この結果容量23cのポテンシャル振幅は他のBBD容量のそれよりも小さくなってしまう。このとき容量23cからの信号電荷あふれを防止するため、容量23cの容量値は他のBBD容量より大きくしておく必要がある。本実施例ではこのため、容量23cの容量値を他のBBD容量の約2倍に設計したことは先に述べたとおりである。さて信号電荷Aのインバータ3への入力によって、インバータ3は信号電荷Aの反転出力／Aを出力する。即ちAの電荷が存在すればインバータ3の入力電圧は約6Vになるので出力は10V、Aの電荷が存在しなければインバータ3の入力はリセットされた状態の10Vなので出力は5Vである。これに引き続いで再書き込みゲート線31により再書き込みスイッチ4がオンすることによって、このインバータ3の出力電圧は液晶容量5とBBD2の入力端に印加、表示される。

【0054】j) : 次にBBD第1駆動線8がターンオンすることによって、このときスイッチ20aはオンであるため、インバータ3から再書き込みスイッチ4を介して入力された信号電荷／Aは、液晶容量5の他に容量2

1 a にも入力される。同時に信号電荷Cはスイッチ20 bを経て容量21 bに移動し、20 b p, 22 b pの2つのポテンシャル障壁間に閉じ込められる。同時に信号電荷Bはスイッチ20 cを経て容量21 cに移動し、20 c p, 22 c pの2つのポテンシャル障壁間に閉じ込められる。

【0055】k) : BBD第1駆動線8がオフすることによって、スイッチ20 aが切れて信号電荷/Aは20 a p, 22 a pの2つのポテンシャル障壁間に閉じ込められる。次いで再書き込みゲート線31により再書き込みスイッチ4がオフすることによってインバータ3の出力が液晶容量5と切り離され、液晶容量5は信号電荷/Aに対応する表示出力を保持しつづける。その後リセットゲート線35によりリセットスイッチ34がオンすることにより、信号電荷Aがリセットされてインバータ3の入力は再び10Vに戻る。

【0056】1) : BBD第2駆動線9がオンすることにより、信号電荷/Aはスイッチ22 aを経て容量23 aに移動し、22 a p, 20 b pの2つのポテンシャル障壁間に閉じ込められる。同時に信号電荷Cはスイッチ22 bを経て容量23 bに移動し、22 b p, 20 c pの2つのポテンシャル障壁間に閉じ込められる。更に同時に信号電荷Bはスイッチ22 cを経て容量23 cに移動し、22 c p, 24 pの2つのポテンシャル障壁間に閉じ込められる。この状態は先に述べたh)の状態から信号電荷が1ビットずつ進行した状態である。

【0057】以上のh)～1)を繰返すことにより、本実施例は3ビットデジタル画像データに対応する出力を*

$$T_i = T_f \times \{2^{(i-1)}\} / (2^{n-1})$$

但し、 T_i はiビット目の表示期間、 T_f は1フィールド期間である。

【0061】尚、1フィールド期間は1フレーム期間の半分であり、これらの期間は液晶の交流電圧駆動や液晶の階調表示に起因するフリッカ目につかないような周波数に設定されることが好ましい。例えば本実施例では、フレーム周波数は60Hzとした。

【0062】尚、本実施例では図9に示すように液晶共通電極36駆動波形を1フレーム期間と整合させたが、これは各ビット毎に反転駆動させても良い。この場合例えば液晶共通電極36の駆動波形は、期間T3で"H"、T2で"L"、T1で"H"、次のT3で"L"、T2で"H"、T1で"L"のように変化する。このような駆動によれば1フレーム期間を比較的長くとっても、よりフリッカが目に付き難くなるという利点がある。

【0063】次に本実施例における各スイッチ及びBBDの具体的なデバイス構造に関して、図10を用いて説明する。

【0064】図10は本実施例における画素の一部分の断面図である。ガラス基板6上に、バッファ膜40を挟んで多結晶Si(poly-Si)膜41が設けられてお

*順次表示しつつ、同時にDRAMのリフレッシュに相当する再書き込み動作を、寄生容量の大きな信号線12を介さずに画素内で低消費電力で行うことができる。なお本実施例においては、3ビットの信号がデータループを一周して液晶容量5に再書き込みされる度に、液晶共通電極36に対する印加電圧を反転させている。これによって液晶容量5の交流駆動を実現していることは、既に図1の説明で述べたとおりである。

【0058】さて3ビットのデジタル画像データを単純に一定の速度で繰り返し表示しても、4階調しか表示することはできない。そこで本実施例では、3つのビットデータの表示期間を2倍ずつ変化させて時間的な重みをつけることにより、 $2^3=8$ 階調の表示を行っている。この様子を図9を用いて説明する。

【0059】図9は本実施例の1フレーム期間における、3ビットの画像データの表示シーケンスである。1フレーム期間は2フィールドで構成されており、両者の間で液晶共通電極36に対する印加電圧が反転している。さて各々のフィールド期間内では、3つのビットデータがそれぞれ2倍ずつ異なる表示期間で表示される。具体的には1ビット目(LSB:Least Significant Bit)は各フィールド期間の1/7、2ビット目は2/7、3ビット目(MSB:Most Significant Bit)は4/7の期間である。これをnビット表示の際のiビット目の表示期間とおくと、この関係は以下の式で表される。

【0060】

【数1】

(数式1)

30 り、poly-Si膜41上には更に電極42, 43, 44, 45, 46と絶縁膜47が形成されている。ここで電極42はデータ入力スイッチ1のゲート電極、電極43はBBD2のスイッチ20 aのゲート電極、電極44はBBD2の容量21 aの上部電極、電極45はBBD2のスイッチ22 aのゲート電極、電極46はBBD2の容量23 aの上部電極を構成している。データ入力スイッチ1の両端には信号線12と、画素電極48とが設けられており、これらの上には更に配向膜49が設けられている。一方対向ガラス基板55にはカラーフィルタ54及び遮光膜53が設けられ、これらの上にはITO(Indium Tin Oxide)を用いた透明な液晶共通電極36と配向膜51が設けられている。ここでガラス基板6上と対向ガラス基板55の間には、液晶分子52を含む液晶層50が封入されており、これにより画素電極48と液晶共通電極36の間には液晶容量5が形成される。

【0065】ここで明らかに、データ入力スイッチ1はpoly-Si TFT(Thin-Film-Transistor)で構成されており、データ入力スイッチ1とBBD2のチャネルは同一のpoly-Si薄膜で形成されている。また更にデータ入力スイッチ1とBBD2の電極42, 43, 44, 4

5, 46はいずれも同一の導電電極層で形成されている。本実施例ではこのようにデータ入力スイッチ1とBBD2の構成要素の共通化を図ることによって、製造プロセスの簡略化と低コスト化を実現している。なおデータ入力スイッチ1とスイッチ20a, 22a, 20b, 22b, 20c, 22cのゲート下のチャネルには同一の不純物導入プロセスにより同一のしきい値電圧(Vth)が与えられており、容量21a, 23a, 21b, 23b, 21c, 23cにおけるpoly-Si層には空乏化回避のために高濃度不純物を導入してある。

【0066】なお画素電極48がBBD2上に延在しているのは、画素電極48を外光に対する反射電極として用いるためであり、必要に応じて更にこの表面に凹凸を形成することで入射光に対する散乱性を付与することもできる。以上の構造を採用することにより、本実施例は反射型の液晶表示が可能である。また図には示していないがこの画素電極48は画素全面の約半分を覆っており、残りの半分はITOを用いた透明電極に切り替わっている。ガラス基板6の下方には所定のバックライト装置(図示せず)が設けられており、任意にこれを点灯させることにより、本装置は透過型の液晶表示も同様に可能にしている。

【0067】さて以上に述べた本実施例においては、本発明の主旨を損なわない範囲でいくつもの変更が可能である。例えば本実施例ではTFT基板にガラス基板6を用いたが、これを石英基板や透明プラスチック基板等透明絶縁基板に変更することも可能であるし、また透過型の液晶表示を止めて反射型表示のみに特化することも可能であり、その場合は更に不透明基板を用いることも可能である。

【0068】或いはTFTやBBDに関しても、本実施例ではデータ入力スイッチ1等にnMOSを用いたが、駆動信号波形に必要に応じた変更を与えれば、これらをpMOSやCMOS等に変更することも明らかに可能である。インバータ3に關しても、ここで用いたようなCMOSインバータに限る必要がないことは言うまでもない。

【0069】本実施例においては、先に述べたようにデータ入力スイッチ1とBBD2のチャネルや電極をいずれも同一のプロセスで形成し、データ入力スイッチ1とBBD2の構成要素の共通化を図ることによって、製造プロセスの簡略化と低コスト化を実現している。しかしながら本発明の目的とする効果を得るためにには、必ずしもこれらの各構成要素の共通化を図らなくとも良い。

【0070】また本実施例の説明においては、画素数やパネルサイズ等に關しては敢えて言及していない。これは本発明が特にこれらのスペックないしフォーマットに制限されるものではないためである。また今回はDRAM画素メモリを用いた際の表示性能を3ビット8階調に設計したが、本発明はBBD2のチャネル段数を変化さ

せさえすれば、特に特定のビット数に制限されるものではない。また画素部の駆動電圧に關しても、液晶材料や駆動法、外部電圧源の設計等によって、その適当な値が変わってくることは言うまでもない。

【0071】以上の種々の変更は、本実施例に限らず以下のその他の実施例においても基本的に同様である。

(実施例2)以下、図11～図17を用いて、本発明の実施例2に關して説明する。

【0072】本実施例の全体構成及びその動作は、BBD(Bucket Brigade Device)2の構成とその駆動方法が異なっている点を除けば、図1を用いて説明した実施例1と基本的には同様である。従ってここでは全体構成及びその動作の記載は省略し、本実施例の特徴であるBBDを中心に画素に關して以下説明する。

【0073】以下本実施例におけるBBDを含む画素10の詳細な構造、及びその動作について説明する。

【0074】図11は本実施例における画素の内部構成図である。

【0075】画素10にはデータ入力スイッチ1及び液晶容量5で構成されたDRAMが設けられており、データ入力スイッチ1の他端は信号線12に接続されている。ここで36は液晶共通電極である。このDRAMのデータ保持ノードが入力する3ビットデータを蓄積するためのBBDは、スイッチ60a, 62a, 60b, 62bと容量61a, 63a, 61b, 63bからなるデータ転送部と、出力ゲート24及びリセットスイッチ34からなるデータ出力部で構成されている。BBDの出力はpMOSドライバ27とnMOSドライバ26で構成されたCMOS(Complementary MOS)インバータ3に入力し、その出力は再書き込みスイッチ4を介して、再度DRAMのデータ保持ノードに入力している。なおここでBBDの各スイッチ及び容量は実施例1とは異なり、スイッチ60aと容量61aがBBD第1相駆動線64に、スイッチ62aと容量63aがBBD第2相駆動線65に、スイッチ60bと容量61bがBBD第3相駆動線66に、スイッチ62bと容量63bがBBD第4相駆動線67に、にそれぞれ接続されている。出力ゲート24とリセットスイッチ34、再書き込みスイッチ4のゲートはそれぞれ、出力ゲート線25とリセットゲート線35、再書き込みゲート線31に接続されている。なおリセットスイッチ34のドレインとCMOSインバータ3の高電圧端子は10V電源線29に、CMOSインバータ3の低電圧端子は5V電源線28に接続されている。

【0076】以下、本実施例における画素の動作を説明する。

【0077】本実施例においても、BBDを動作させない、即ち画素メモリを用いない状態では通常の多値、ないしアナログ表示の動作は第一の実施例と同様であるので、ここでは説明を省略する。なお画素メモリを用いな

い場合は再書き込みゲート線31により再書き込みスイッチ4を常時オフしておけば良く、消費電力を低減するためには10V電源線29と5V電源線28を同電圧に落としておくことが好ましい。またBBD第1相駆動線64、BBD第2相駆動線65、BBD第3相駆動線66、BBD第4相駆動線67は常時オフしておくことが、BBDの寄生効果を回避する上では望ましい。

【0078】次に画素に対する3ビット分のデジタル画像データの書き込み動作について、図12～図15を用いて以下に述べる。

【0079】図12は1ビット分のデジタル画素データを全画素に対して書き込む際の、画素数をm行としたときの各行のゲート線11、任意の信号線12、液晶共通電極36、BBD第1相駆動線64の駆動波形である。なお本明細書中の図面においては、駆動波形は上をオンないし高電圧、下をオフないし低電圧で表すものとする。1ビット分の画素データの書き込みに際しては、始めにBBD第1相駆動線64がオンになり、次いでゲート線11に走査された各行のデータ入力スイッチが順次オンしていく。このとき信号線12には、ゲート線11の駆動パルスより若干遅れて画像データが入力される。以上の動作により、ゲート線11で走査された全画素に対する1ビット分の画素データの書き込みが完了する。

【0080】次に3ビット分のデジタル画素データを読み込む際の、画素の動作について説明する。

【0081】図13はこの際の任意のゲート線11、BBD第1相駆動線64、BBD第2相駆動線65、BBD第3相駆動線66、BBD第4相駆動線67、リセットゲート線35、再書き込みゲート線31の駆動波形である。また図14及び図15は、図13中に示したi)～ix)の各時点におけるBBDのチャネルポテンシャルを示したものである。ここではポテンシャルは下が正である。なおスイッチ60a、62a、60b、62b、出力ゲート24におけるチャネルポテンシャルを、それぞれ60a p、62a p、60b p、62b p、24pとして図示した。またA、B、Cは、それぞれ画素における3ビットの画像データを表す信号電荷であり、データの“L”／“H”は、この信号電荷が存在する／存在しないで区別される。但し説明のために、図中にはA、B、Cの信号電荷を省略して記入してある。

【0082】以下、図13に示したi)～ix)の各時点における駆動波形及びBBDのチャネルポテンシャルの変化を、図14及び図15を用いて順次説明する。なおi)～ix)の期間を通して、3ビット分のデジタル画素データを読み込む際には、リセットゲート線35で駆動されるリセットスイッチ34は常にオン、再書き込みゲート線31で駆動される再書き込みスイッチ4はオフされており、BBDから出力される電荷をクリアし続けるとともに、インバータ3出力の再書き込みを遮断する。

【0083】始めに図13及び図14 i) ii) iii) iv)

を用いて、信号線12から画素内のBBDへの1ビット分のデジタル画素データの読み込みについて説明する。

【0084】i)：BBD第1相駆動線64がオン、BBD第2、3、4相駆動線65、66、67がオフであり、図12を用いて説明した各画素への1ビット画像データの書き込みタイミングに相当する。このときスイッチ60aはオンであるため、ゲート線11がオンした際に信号線12からデータ入力スイッチ1を介して入力された信号電荷Aは、液晶容量5の他に容量61aにも入力され、保持される。

【0085】ii)：BBD第1相駆動線64がターンオフすることによってスイッチ60aがオフし、信号電荷Aは60a p、62a pの2つのポテンシャル障壁間に閉じ込められる。

【0086】iii)：BBD第2相駆動線65がターンオンすることによって、信号電荷Aはスイッチ62aを経て容量63aに移動し、62a p、60b pの2つのポテンシャル障壁間に閉じ込められる。なお実際にはこの間にBBD第4、3相駆動線67、66が順次オンオフされているが、これはBBD内に残存する電荷の掃き出しのためであって信号電荷Aの読み込みには無関係であるため、ここではその説明は省略する。

【0087】iv)：BBD第2相駆動線65がターンオフすることによってスイッチ62aがオフする。信号電荷Aは62a p、60b pの2つのポテンシャル障壁間に閉じ込められたままである。

【0088】次に図13及び図15 v) vi) vii) viii) ix)を用いて、続く2ビット分のデジタル画素データの読み込みについて説明する。

【0089】v)：BBD第1相駆動線64がオン、BBD第2、3、4相駆動線65、66、67がオフであり、再度図12を用いて説明した各画素への1ビット画像データの書き込みタイミングに相当する。このときスイッチ60aはオンであるため、ゲート線11がオンした際に信号線12からデータ入力スイッチ1を介して入力された信号電荷Bは、液晶容量5の他に容量61aにも入力、保持される。信号電荷Aは62a p、60b pの2つのポテンシャル障壁間に閉じ込められたままである。

【0090】vi)：BBD第3相駆動線66がオンであり、他のBBD第1、2、4相駆動線64、65、67はオフである。このとき信号電荷Bは60a p、62a pの2つのポテンシャル障壁間に閉じ込められている。信号電荷Aはスイッチ60bを経て容量61bに移動し、60b p、62b pの2つのポテンシャル障壁間に閉じ込められる。

【0091】vii)：BBD第2相駆動線65がオンであり、他のBBD第1、3、4相駆動線64、66、67はオフである。このとき信号電荷Bはスイッチ62aを経て容量63aに移動し、62a p、60b pの2つの

50

ポテンシャル障壁間に閉じ込められる。一方信号電荷Aは、60bp, 62bpの2つのポテンシャル障壁間に閉じ込められたままである。

【0092】viii) : BBD第1相駆動線64がオン、BBD第2, 3, 4相駆動線65, 66, 67がオフであり、再度図12を用いて説明した各画素への1ビット画像データの書き込みタイミングに相当する。このときスイッチ60aはオンであるため、ゲート線11がオンした際に信号線12からデータ入力スイッチ1を介して入力された信号電荷Cは、液晶容量5の他に容量61aにも入力、保持される。信号電荷Bは62ap, 60bpの2つのポテンシャル障壁間に閉じ込められたままである。信号電荷Aは60bp, 62bpの2つのポテンシャル障壁間に閉じ込められたままである。

【0093】ix) : BBD第4相駆動線67がオンであり、他のBBD第1, 2, 3相駆動線64, 65, 66はオフである。このとき信号電荷Cは60ap, 62apの2つのポテンシャル障壁間に閉じ込められている。信号電荷Bは62ap, 60bpの2つのポテンシャル障壁間に閉じ込められたままである。信号電荷Aはスイッチ62bを経て容量63bに移動し、62bp, 24pの2つのポテンシャル障壁間に閉じ込められる。

【0094】以上で3ビット分のデジタル画素データの画素への読み込みが完了する。なお容量63bの容量値は他のBBD容量より大きく、本実施例では他のBBD容量の約2倍に設計されていることは、実施例1の容量23cと同様である。

【0095】次に画素における3ビットデジタル画像データの表示と再書き込み動作について、図16, 図17を用いて以下に説明する。

【0096】図16は画素における3ビットデジタル画像データの表示と再書き込み動作の際のBBD第1相駆動線64, BBD第2相駆動線65, BBD第3相駆動線66, BBD第4相駆動線67, リセットゲート線35, 再書き込みゲート線31の駆動波形である。また図17は、図16中に示したx)~xiv)の各時点におけるBBDのチャネルポテンシャルを示したものである。ここではポテンシャルは下が正である。なお図14, 図15と同様に、スイッチ60a, 62a, 60b, 62b, 出力ゲート24におけるチャネルポテンシャルを、それぞれ60ap, 62ap, 60bp, 62bp, 24pとして図示した。またA, B, Cは、それぞれ画素における3ビットの画像データを表す信号電荷であり、データの“L”/“H”は、この信号電荷が存在する/存在しないで区別される。また/AはAの反転信号を意味しているため、例えばAに信号電荷が存在するならば、/Aには信号電荷が存在しないことになる。しかしながらここでは説明のために、図中のA, B, C同様、/Aの信号電荷も敢えて存在するかのように表現してある。

【0097】以下、x)~xiv)の各時点における駆動波

形及びBBDのチャネルポテンシャルの変化を、それぞれ図16及び図17を用いて順次説明する。なおx)~xiv)の期間を通して、常にゲート線11とこれで制御されるデータ入力スイッチ1はオフされており、信号線12には電力を消費しないように直流電圧が印加、或いは接地されている。

【0098】x) : BBD第4相駆動線67がオンであり、他のBBD第1, 2, 3相駆動線64, 65, 66はオフ、リセットゲート線35はオン、書き込みゲート線31はオフであり、この状態は先に述べたix)の状態と同一である。このとき信号電荷Cは60ap, 62apの2つのポテンシャル障壁間に閉じ込められている。信号電荷Bは62ap, 60bpの2つのポテンシャル障壁間に閉じ込められている。信号電荷Aは62bp, 24pの2つのポテンシャル障壁間に閉じ込められている。インバータ3の入力端は、リセットゲート線35に制御されるリセットスイッチ34によって10Vに固定されている。

【0099】xi) : 次にリセットゲート線35によりリセットスイッチ34がオフしてインバータ3の入力端子がフローティングとなり、次いでBBD第4相駆動線67がターンオフすることによって、信号電荷Aは出力ゲート24のポテンシャル障壁24pを超えてインバータ3の入力端子に入力される。ここで出力ゲート線25には當時一定の電圧が印加されているため、ポテンシャル障壁24pも一定値を取ること、本実施例でも容量23cの容量値を他のBBD容量の約2倍に設計したことは先に述べたとおりである。さて信号電荷Aのインバータ3への入力によって、インバータ3は信号電荷Aの反転出力/Aを出力する。即ちAの電荷が存在すればインバータ3の入力電圧は約6Vになるので出力は10V、Aの電荷が存在しなければインバータ3の入力はリセットされた状態の10Vなので出力は5Vである。これに引き続いて再書き込みゲート線31により再書き込みスイッチ4がオンすることによって、このインバータ3の出力電圧は液晶容量5とBBDの入力端に印加、表示される。また再書き込みスイッチ4のオンと前後してBBD第3相駆動線66がターンオンすることによって、信号電荷Bはスイッチ60bを経て容量61bに移動し、60bp, 62bpの2つのポテンシャル障壁間に閉じ込められる。ここで再書き込みスイッチ4のオンとBBD第3相駆動線66のターンオンはどちらが先に動作しても構わないし、また同時に動作しても良い。

【0100】xii) : 次にBBD第3相駆動線66がターンオフし、次いでBBD第2相駆動線65がターンオンする。このとき信号電荷Cはスイッチ62aを経て容量63aに移動し、62ap, 60bpの2つのポテンシャル障壁間に閉じ込められる。信号電荷Bが60bp, 62bpの2つのポテンシャル障壁間に閉じ込められることは変わらない。

【0101】xiii) : BBD第2相駆動線65がターンオフし、次いでBBD第1相駆動線64がターンオンする。このとき再書き込みスイッチ4とスイッチ60apを介して、インバータ3から信号電荷/Aが容量61aに入力される。信号電荷Cが62ap, 60bpの2つのポテンシャル障壁間に閉じ込められること、信号電荷Bが60bp, 62bpの2つのポテンシャル障壁間に閉じ込められていることは変わらない。

【0102】xiv) : 再書き込みゲート線31により再書き込みスイッチ4がオフすることによって、次にまた再書き込みスイッチ4がオンするまで、液晶容量5は信号電荷/Aに対応する表示出力を保持しつづけることになる。これに前後してBBD第1相駆動線64がターンオフし、信号電荷/Aは60ap, 62apの2つのポテンシャル障壁間に閉じ込められる。このとき再書き込みゲート線31のオフとBBD第1相駆動線64のオフはどちらが先に動作しても、或いは同時に動作しても構わない。BBD第1相駆動線64が先にオフした方が、インバータ3の出力インピーダンスが小さい分だけ入力電荷量の安定化には有利ではあるが、液晶容量5の値が十分に大きければ大きな差異はない。引き続いてBBD第4相駆動線67がターンオフし、信号電荷Bはスイッチ62bを経て容量63bに移動し、62bp, 24pの2つのポテンシャル障壁間に閉じ込められる。これと前後してリセットゲート線35によりリセットスイッチ34がオンすることにより、信号電荷Aがリセットされてインバータ3の入力は再び10Vに戻る。ここでもBBD第4相駆動線67のターンオフとリセットゲート線35のオンの前後関係は、どちらが先でも或いは同時でも構わない。この状態は先に述べたx)の状態から信号電荷が1ビットずつ進行した状態である。

【0103】以上x)~xiv)を繰返すことにより、本実施例は3ビットデジタル画像データに対応する出力を順次液晶容量5を用いて表示しつつ、同時にDRAMのリフレッシュに相当する再書き込み動作を、寄生容量の大きな信号線12を介さずに、画素内で低消費電力で行うことができる。本実施例においても、3ビットの信号がデータループを一周して液晶容量5に再書き込まれる度に、液晶共通電極36に対する印加電圧を反転させており、これによって液晶容量5の交流駆動を実現していることは、実施例1と同様である。

【0104】なお3つのビットデータの表示期間を2倍ずつ変化させて時間的な重みをつけることにより、 $2^3 = 8$ 階調の表示を行っていることに関しても、本実施例は実施例1と同様であるため、ここでは説明は省略する。

【0105】また各スイッチ及びBBDの具体的なデバイス構造や、反射及び透過型の液晶表示構造についても、本実施例は実施例1と同様であるため、ここではその説明を省略する。

(実施例3) 以下図18~図21を用いて、本発明の実施例3に関して説明する。

【0106】本実施例の全体構成及びその動作は、BBD(Bucket Brigade Device)2に代えた画素内のメモリ素子として後述するインバータラダーが用いられている点を除けば、図1を用いて説明した実施例1と同様である。従ってここでは全体構成及びその動作の記載は省略し、本実施例の特徴であるインバータラダーを中心に画素に関して以下説明する。但し本実施例では、各画素は10ビットのデジタル画像データを記憶保持することが可能であるが、これに関しては後に述べる。

【0107】図18は本実施例における画素の内部構成図である。

【0108】画素にはデータ入力スイッチ1及び液晶容量5で構成されたDRAMが設けられており、データ入力スイッチ1の他端は信号線12に接続されている。ここで36は液晶共通電極である。このDRAMのデータ保持ノードはpMOSドライバ71aとnMOSドライバ70aと出力スイッチ72aで構成された第一インバータ段、pMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段、pMOSドライバ71cとnMOSドライバ70cと出力スイッチ72cで構成された第三インバータ段、pMOSドライバ71dとnMOSドライバ70dと出力スイッチ72dで構成された第四インバータ段、を順に経て、pMOSドライバ27とnMOSドライバ26で構成されたCMOSインバータ3に入力し、その出力は再書き込みゲート線31で制御される再書き込みスイッチ4を介して、再度DRAMのデータ保持ノードに入力している。上記各出力スイッチ72a, 72b, 72c, 72dの各ゲートは、それぞれ第1段出力スイッチゲート線73, 第2段出力スイッチゲート線74, 第3段出力スイッチゲート線75, 第4段出力スイッチゲート線76にそれぞれ接続されている。なお上記各CMOSインバータの高電圧端子は10V電源線29に、各CMOSインバータの低電圧端子は5V電源線28に接続されている。なおここでは第一段から第四段までのインバータの直列構成をインバータラダーと称している。

【0109】以下、本実施例における画素の動作を説明する。

【0110】まず本実施例においても、インバータラダーを動作させない、即ち画素メモリを用いない状態では通常の多值、ないしアナログ表示の動作は実施例1と同様であるので、ここでは説明を省略する。なお画素メモリを用いない場合は再書き込みゲート線31により再書き込みスイッチ4を常時オフしておけば良く、消費電力を低減するためには10V電源線29と5V電源線28を同電圧に落としておくことが好ましい。

【0111】次に画素に対する4ビットデジタル画像データの書き込み動作について、図19, 図20を用いて以

下に述べる。

【0112】図19は1ビット分のデジタル画素データを全画素に対して書き込む際の、画素数をm行としたときの各行のゲート線11,任意の信号線12,液晶共通電極36,第1段出力スイッチゲート線73の駆動波形である。なお本明細書中の図面においては、駆動波形は上をオンないし高電圧、下をオフないし低電圧で表すものとする。1ビット分の画素データの書き込みに際しては、始めに第1段出力スイッチゲート線73がオンになり、次いでゲート線11に走査された各行のデータ入力スイッチが順次オンして行く。このとき信号線12には、ゲート線11の駆動パルスより若干遅れて画像データが入力される。以上の動作により、ゲート線で走査された全画素に対する1ビット分の画素データは、pMOSドライバ71aとnMOSドライバ70aと出力スイッチ72aで構成された第一インバータ段を経て、pMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に記憶される。

【0113】なお本実施例における各画素の1ビットデータは、インバータを通る毎にその極性の“L”/“H”を入れ替わるが、説明の簡略化のために以下の説明では特にそれに関して個々に言及はしない。

【0114】次に4ビット分のデジタル画素データを順次読み込む際の、画素の動作を説明する。

【0115】図20はこの際の任意のゲート線11,第1段出力スイッチゲート線73,第2段出力スイッチゲート線74,第3段出力スイッチゲート線75,第4段出力スイッチゲート線76,再書き込みゲート線31の駆動波形である。なお4ビット分のデジタル画素データを順次読み込む際には、再書き込みゲート線31で駆動される再書き込みスイッチ4は、インバータラダー側からの再書き込みを遮断するために常にオフされている。

【0116】以下図20に示した期間1~4の各期間毎に、動作の説明を行う。

【0117】期間1：始めに信号線12から画素内インバータラダーへの、最初の1ビット分のデジタル画素データの読み込みを行う。このときには前もって第4段出力スイッチゲート線76から各段の出力スイッチゲート線75,74がオン/オフし、最後に第1段出力スイッチゲート線73のオン/オフが行われる。この最後の第1段出力スイッチゲート線73のオン/オフが、図19を用いて説明した各画素への1ビット画像データの書き込みである。なお各段の出力スイッチゲート線76,75,74,73がオン/オフを繰返す際には、図示したように残りの出力スイッチゲート線76,75,74,73はオフのままである。これによってゲート線で走査された全画素に対する1ビット分の画素データが、pMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量

に記憶されることは既に述べた通りである。なおここで第1段出力スイッチゲート線73のオン/オフの前に、第4段出力スイッチゲート線76から各段の出力スイッチゲート線75,74,73の駆動波形を規則的にすることによって、駆動波形形成論理の単純化を図ったためである。実際にはこのような余分な駆動が省略可能であることは明らかである。

【0118】期間2：次に同様に各段の出力スイッチゲート線76,75,74,73がオン/オフを繰返すことによって、先にpMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に記憶されていた最初の1ビットデータは、pMOSドライバ71cとnMOSドライバ70cと出力スイッチ72cで構成された第三インバータ段の入力容量に転送され、記憶される。更に最後に第1段出力スイッチゲート線73のオン/オフが行われることによって、次の2ビット目のデータが、ゲート線11によって駆動されるデータ入力スイッチ1を介して信号線12から入力し、pMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に記憶される。

【0119】期間3：やはり同様に各段の出力スイッチゲート線76,75,74,73がオン/オフを繰返すことによって、pMOSドライバ71cとnMOSドライバ70cと出力スイッチ72cで構成された第三インバータ段の入力容量に記憶されていた最初の1ビットデータは、pMOSドライバ71dとnMOSドライバ70dと出力スイッチ72dで構成された第四インバータ段の入力容量に転送され、記憶される。またpMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に記憶されていた2ビット目のデータは、pMOSドライバ71cとnMOSドライバ70cと出力スイッチ72cで構成された第三インバータ段の入力容量に転送され、記憶される。更に最後に第1段出力スイッチゲート線73のオン/オフが行われることによって、次の3ビット目のデータが、ゲート線11によって駆動されるデータ入力スイッチ1を介して信号線12から入力し、pMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に記憶される。

【0120】期間4：最後にまた各段の出力スイッチゲート線76,75,74,73がオン/オフを繰返すことによって、pMOSドライバ71dとnMOSドライバ70dと出力スイッチ72dで構成された第四インバータ段の入力容量に記憶されていた最初の1ビットデータは、pMOSドライバ27とnMOSドライバ26で構成されたインバータ3の入力容量に転送され、記憶される。pMOSドライバ71cとnMOSドライバ70

cと出力スイッチ72cで構成された第三インバータ段の入力容量に記憶されていた2ビット目のデータは、pMOSドライバ71dとnMOSドライバ70dと出力スイッチ72dで構成された第四インバータ段の入力容量に転送され、記憶される。またpMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に記憶されていた3ビット目のデータは、pMOSドライバ71cとnMOSドライバ70cと出力スイッチ72cで構成された第三インバータ段の入力容量に転送され、記憶される。更に最後に第1段出力スイッチゲート線73のオン／オフが行われることによって、次の4ビット目のデータが、ゲート線11によって駆動されるデータ入力スイッチ1を介して信号線12から入力し、pMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に記憶される。以上で、画素における4ビット分のデジタル画素データの読み込みが完了する。なおここでは各1ビットのデータを各インバータの入力容量に保持している。ここで必要に応じて各インバータの入力端子に付加容量を形成すれば、回路の面積は増加するものの、画素におけるデータの保持特性はより安定する。

【0121】次に画素における4ビットデジタル画像データの表示と再書き込み動作について、図21を用いて以下に説明する。

【0122】図21は画素における4ビットデジタル画像データの表示と再書き込み動作の際の任意のゲート線11、第1段出力スイッチゲート線73、第2段出力スイッチゲート線74、第3段出力スイッチゲート線75、第4段出力スイッチゲート線76、再書き込みゲート線31の駆動波形である。なお44ビットデジタル画像データの表示と再書き込み動作の際には、ゲート線11とこれで制御されるデータ入力スイッチ1はオフされており、信号線12には電力を消費しないように直流電圧が印加、或いは接地されている。

【0123】始めに再書き込みゲート線31により再書き込みスイッチ4がオン／オフする。これによってpMOSドライバ72とnMOSドライバ26で構成されたインバータ3の入力容量に記憶されていた最初の1ビットデータは、液晶容量5に転送され、記憶及び表示される。同時にこのデータはpMOSドライバ71aとnMOSドライバ70aと出力スイッチ72aで構成された第一インバータ段の入力容量にも記憶されることになる。ここで注意すべき点は、再度第一インバータ段の入力容量に入力された時点で、この最初の1ビットのデータは、最初に画素に入力されたデータに対して反転している、即ちその極性の“L”／“H”が入れ替わっているということである。これは本実施例におけるメモリのデータ再書き込みループ中に、奇数段（5段）のインバータを設けてあるためである。

【0124】次いで第4段出力スイッチゲート線76がオン／オフすることによって、pMOSドライバ71dとnMOSドライバ70dと出力スイッチ72dで構成された第四インバータ段の入力容量に記憶されていた2ビット目のデータは、pMOSドライバ27とnMOSドライバ26で構成されたインバータ3の入力容量に転送され、記憶される。

【0125】次に第3段出力スイッチゲート線75がオン／オフすることによって、pMOSドライバ71cとnMOSドライバ70cと出力スイッチ72cで構成された第三インバータ段の入力容量に記憶されていた3ビット目のデータは、pMOSドライバ71dとnMOSドライバ70dと出力スイッチ72dで構成された第四インバータ段の入力容量に転送され、記憶される。

【0126】更に第2段出力スイッチゲート線74がオン／オフすることによって、pMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に記憶されていた4ビット目のデータは、pMOSドライバ71cとnMOSドライバ70cと出力スイッチ72cで構成された第三インバータ段の入力容量に転送され、記憶される。

【0127】最後に第1段出力スイッチゲート線73がオン／オフすることによって、pMOSドライバ71aとnMOSドライバ70aと出力スイッチ72aで構成された第一インバータ段の入力容量に記憶されていた最初の1ビットの「反転」データは、再度pMOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段の入力容量に転送され、再び記憶される。

【0128】以上の動作を繰返すことにより、本実施例は4ビットデジタル画像データに対応する出力を順次画像表示しつつ、同時にDRAMのリフレッシュに相当する再書き込み動作を、寄生容量の大きな信号線12を介さずに、画素内で低消費電力で行うことができる。既に述べたように本実施例においても、4ビットの信号がデータループを一周して液晶容量5に再書き込みされる度に、液晶共通電極36に対する印加電圧を反転させており、これによって液晶容量5の交流駆動を実現していることは、実施例1と同様である。

【0129】なお4つのビットデータの表示期間を2倍ずつ変化させて時間的な重みをつけることにより、 $2^4 = 16$ 階調の表示を行っていること、また反射及び透過型の液晶表示構造に関しても、本実施例は実施例1と同様であるため、ここではその説明を省略する。

【0130】本実施例における各トランジスタは、実施例1と同様にpoly-Si TFTを用いているが、本実施例ではBBDが不要なため、容量形成用の不純物導入プロセスを省けるという利点がある。

【0131】なお本実施例では4ビットの画像データを用いたが、本実施例の構造がビット数に限らず適用可能

であることは言うまでもない。但しその場合はデータループを一周した後におけるデータの反転を実現するため、必要に応じてデータ反転のためのインバータ回路を適宜追加ないし削除する必要がある。例えば本実施例においても反転駆動を考慮しなければ、pMOSドライバ71aとnMOSドライバ70aで構成されたインバータ回路を省くことも可能であるため、もしも3ビットの画像データを扱うならば各画素が有するインバータ回路を3段に設計することも可能である。

(実施例4) 以下図22～図24を用いて、本発明の実施例4に関して説明する。

【0132】本実施例は上記実施例3において、画素に記憶される画像データを1ビットとした場合に相当するものである。その全体構成及びその動作は、BBD(Bucket Brigade Device)2に代えたメモリ素子としてスイッチが用いられている点を除けば、図1を用いて説明した実施例1と同様である。従ってここでは全体構成及びその動作の記載は省略し、本実施例の特徴である画素に関して以下説明する。

【0133】図22は本実施例における画素の内部構成図である。

【0134】画素にはデータ入力スイッチ1及び液晶容量5で構成されたDRAMが設けられており、データ入力スイッチ1の他端は信号線12に接続されている。ここで36は液晶共通電極である。このDRAMのデータ保持ノードはアンプ入力スイッチ80を介してpMOSドライバ27とnMOSドライバ26で構成されたCMOSインバータ3に入力し、その出力は再書き込みスイッチ4を介して、再度DRAMのデータ保持ノードに入力している。上記アンプ入力スイッチ80のゲートは、アンプ入力スイッチゲート線81に接続されている。なお上記CMOSインバータ3の高電圧端子は10V電源線29に、各CMOSインバータの低電圧端子は5V電源線28に接続されている。

【0135】以下、本実施例における画素の動作を説明する。

【0136】まず本実施例においてもインバータ3を用いない、即ち画素メモリを用いない状態での通常の多値、ないしアナログ表示の動作は実施例1と同様であるので、ここでは説明を省略する。なお画素メモリを用いない場合は再書き込みゲート線31により再書き込みスイッチ4を常時オフしておけば良く、消費電力を低減するためには10V電源線29と5V電源線28を同電圧に落としておくことが好ましい。

【0137】次に画素に対する1ビットデジタル画像データの書き込み(リフレッシュ)動作について、図23を用いて以下に説明する。

【0138】図23は1ビット分のデジタル画素データを全画素に対して書き込む際の、画素数をm行としたときの各行のゲート線11、任意の信号線12、液晶共通

電極36、アンプ入力スイッチゲート線81、再書き込みゲート線31の駆動波形である。なお本明細書中の図面においては、駆動波形は上をオンないし高電圧、下をオフないし低電圧で表すものとする。1ビット分の画素データの書き込みに際しては、始めにアンプ入力スイッチゲート線81によりアンプ入力スイッチ80がオンになり、次いでゲート線11に走査された各行のデータ入力スイッチ1が順次オンして行く。このとき信号線12には、ゲート線11の駆動パルスより若干遅れて画像データが入力される。以上の動作により、ゲート線11で走査された全画素に対する1ビット分の画素入力データは、アンプ入力スイッチ80を介してpMOSドライバ27とnMOSドライバ26で構成されたCMOSインバータ3に入力し、その入力容量に記憶される。ここで液晶共通電極36は定電圧を保持しており、また再書き込みゲート線31は再書き込みスイッチ4をオフに固定してCMOSインバータ3からの再書き込みを禁止している。

【0139】なお本実施例における1ビット画素データは、インバータ3を通る毎にその極性の“L”／“H”に入れ替わるが、説明の簡略化のために以下の説明では特にそれに関する個々に言及はしない。なおここでは上記1ビットの画像データはCMOSインバータ3の入力容量に保持されており、言い換えればアンプ入力スイッチ80とCMOSインバータ3の入力容量は、もう一つのDRAMを構成している訳である。ここで必要に応じて各インバータの入力端子に付加容量を形成すれば、回路面積は増加するものの、画素におけるデータの保持特性をより安定させることができる。

【0140】次に上記1ビット画素データの表示と再書き込み動作について、図24を用いて以下に説明する。

【0141】図24は画素における1ビット画素データの表示と再書き込み動作の際の、アンプ入力スイッチゲート線81、再書き込みゲート線31、液晶共通電極36の駆動波形である。なお1ビット画素データの表示と再書き込み動作の際には、ゲート線11とこれで制御されるデータ入力スイッチ1はオフされており、信号線12には電力を消費しないように直流電圧が印加、或いは接地されている。

【0142】始めにアンプ入力スイッチゲート線81によりアンプ入力スイッチ80がオフするが、これは図23で説明したデータを画素に書き込む時の波形と同じである。次に再書き込みゲート線31により再書き込みスイッチ4がオン／オフし、これと同時に液晶共通電極36が“L”から“H”レベルに反転する。これによってpMOSドライバ27とnMOSドライバ26で構成されたインバータ3の入力容量に記憶されていた1ビットデータは、液晶容量5に転送され、記憶及び表示される。ここで注意すべき点は、この時点での1ビットのデータは、最初に画素に入力されたデータに対して反転している、即ちその極性の“L”／“H”を入れ替わっているということ

である。

【0143】次いでアンプ入力スイッチゲート線81がオン／オフすることによって、液晶容量5に記憶されていたこの1ビットの反転画素データは、pMOSドライバ27とnMOSドライバ26で構成されたインバータ3の入力容量に再び転送され、記憶される。

【0144】次にまた再書き込みゲート線31により再書き込みスイッチ4がオン／オフし、これと同時に液晶共通電極36が“L”レベルに反転する。これによってpMOSドライバ27とnMOSドライバ26で構成されたインバータ3の入力容量に記憶されていた1ビットの反転画素データは、再度液晶容量5に転送され、記憶及び表示される。再度ここで注意すべき点は、この時点におけるこの1ビットのデータは、最初に画素に入力されたデータと同じものである、即ちその極性の“L”／“H”が元に戻っているということである。このとき液晶共通電極36は再び反転しているため、これによって液晶の交流電圧駆動が実現されていることがわかる。

【0145】この後またアンプ入力スイッチゲート線81がオン／オフすることによって、液晶容量5に記憶されていたこの1ビットの画素データは、pMOSドライバ27とnMOSドライバ26で構成されたインバータ3の入力容量に転送され、記憶される。

【0146】以上の動作を繰返すことにより、本実施例は1ビット画像データに対応する出力を反転表示しつつ、同時にDRAMのリフレッシュに相当する再書き込み動作を寄生容量の大きな信号線12を介さずに、画素内で低消費電力で行うことができる。

【0147】なお本実施例においては、反射及び透過の両画像表示が可能である、所謂部分透過型の液晶表示構造を採用している。これに関して、以下図31を用いて説明する。

【0148】図31は、本実施例における画素83の平面図であり、図中に示すように多結晶Siアイランド、ゲート配線、A1配線層と、コンタクトホールのレイアウトを示したものである。

【0149】A1で配線された信号線12は、ゲート線11をゲート電極とするデータ入力スイッチ1と、アンプ入力スイッチゲート線81をゲート電極とするアンプ入力スイッチ80とを介してA1反射電極84eに入力している。A1反射電極84eはpMOSドライバ27とnMOSドライバ26のゲート電極に接続され、pMOSドライバ27とnMOSドライバ26はそれぞれゲート配線層で構成される10V電源線29と5V電源線28に、A1反射電極84c及びA1反射電極84dを介して接続されている。pMOSドライバ27とnMOSドライバ26で構成されるCMOSインバータの出力は、A1反射電極84bを経て再書き込みゲート線31をゲート電極とする再書き込みスイッチ4に入力し、その出力はA1反射電極84aを介してデータ入力スイッチ1の出

力に接続される。ここでA1反射電極84aにはITOコンタクト82が設けており、画素83全面を覆うITO電極（図中では省略）を介して液晶容量5に接続される。

【0150】上記画素の電気的動作は既に図22を用いて述べたとおりであるので、ここでは画素の光学的な構造に関して説明する。画素83を覆うA1反射電極84a, b, c, d, eは、液晶表示パネル外部から入射した外光を反射する役割を有するため、本実施例は外光のみによる反射型の液晶表示が可能である。また上記A1反射電極84a, b, c, d, eや信号線12等の存在しない領域85は、液晶表示パネル後方に設けられたバックライトの光をパネル全面に透過させるための開口である。本実施例においては画素にメモリ機能を付与するための回路規模が小さいため、このように透過型の液晶表示を行うための開口を十分に確保できるという利点がある。ちなみに本実施例における画素の大きさは252μm×84μmであり、最小寸法4μmのレイアウトルールを用いても30%を超える透過開口率を有している。

【0151】本実施例における各トランジスタは、第一の実施例と同様にpoly-Si TFTを用いているが、本実施例ではBBDが不要なため、容量形成用の不純物導入プロセルを省けるという利点がある。

【0152】なお本実施例ではアンプ入力スイッチ80をインバータ3とデータ入力スイッチ1の間に設けたが、このスイッチは液晶容量5とデータ入力スイッチ1の間に設けることも可能である。これはデータループに対して、その中にデータを入力するノードの位置を変更するだけのことに相当する。なおこれと類似の回路構造の変更や、種々の回路変形が他の実施例でも適宜可能なことは言うまでもない。

【0153】また本実施例では再書き込みスイッチ4のオン期間を、アンプ入力スイッチ80のオン期間よりも長めに設定しているが、これは適宜その長さを変更可能である。例えば液晶容量5における電荷保持時定数と、インバータ3の入力容量における電荷保持時定数とを比較して、両者が同等の電荷保持マージンを有するように各スイッチのオン期間を定めることなどが設計としては望ましい。なお本実施例でも他の実施例と同様に、フレーム周波数の低下に伴い、液晶の交流駆動に起因するフリッカが目に付き易くなる。しかしフレーム周波数を低減する方が消費電力は低減されるため、最適なフレーム周波数は用途によって、或いは使い方によって隨時変更されることが望ましい。

（実施例5）以下図25、図26を用いて、本発明の実施例5に関して説明する。

【0154】本実施例の基本的な構造や動作は、図30を用いて説明した従来例の構造や動作と同様である。図30を用いて説明した従来例と本実施例との最大の差異

は、各画素が信号線を介さずに画素内で1ビットの画像データをリフレッシュ可能な構造を有することであるため、ここでは全体構成及びその動作の記載は省略し、本実施例の特徴である画素に関して以下説明する。

【0155】図25は本実施例における画素の内部構成図である。

【0156】各画素にはデータ入力スイッチ1及び保持容量86で構成されたDRAMが設けられており、データ入力スイッチ1の他端は信号線12に接続されている。またこのデータノードは画素駆動スイッチ93のゲートに接続され、前述の液晶容量5の一端は対向電極96に、他端は画素駆動スイッチ93を介して、共通電極線94に接続される。以上までの構造は、図30を用いて説明した従来例と同様のものである。しかし本実施例においては、新たに以下の構造が付与されている。前記のデータノードは更に再書き込みスイッチ87のゲートに接続されており、再書き込みスイッチ87のドレインは再書き込みスイッチドレイン線92に接続されている。また再書き込みスイッチ87のソースは第1再書き込みダイオード89、再書き込み容量90、第2再書き込みダイオード91を経て、再び前記のデータノードに帰還している。また前記のデータノードと再書き込みスイッチ87のソースの間には、ブートストラップ容量88が設けられている。

【0157】以下、本従来例の動作を説明する。ゲート線11がデータ入力スイッチ1を開閉することによって、信号線12上の1ビットの画像データは、所定の画素行のデータ入力スイッチ1及び保持容量86で構成されたDRAMに入力される。このDRAMに書き込まれた画像データによって、画素駆動スイッチ93はオンないしオフ状態に固定されることになる。ここで対向電極96には交流電圧が印加され、共通電極線94には所定の電圧が印加されているため、画素駆動スイッチ93がオンの場合には液晶容量5には交流電圧が印加され、画素駆動スイッチ93がオフの場合には液晶容量5には常に電圧は印加されない。これによって本液晶表示パネルが、DRAMのデータがリーク電流によって失われるまでの期間、ゲート線11走査、及び信号線12へのデータ出力を停止しても、1ビットの画像表示を継続することができる。以上のところまでは、図30を用いて説明した従来例と同様である。

【0158】しかしながら本実施例においては、以下の動作によって各画素は信号線を介さずに画素内で1ビットの画像データをリフレッシュ可能である。この動作について次に図26を用いて説明する。

【0159】図26は上記リフレッシュ動作における、再書き込みスイッチ87のドレイン、ゲート、ソース電圧波形と、再書き込み容量90における再書き込みダイオードに接続された側の端子の電圧波形である。リフレッシュ動作においては、再書き込みスイッチドレイン線92に正

のパルスが印加される。この電圧はそのまま再書き込みスイッチ87のドレイン電圧になるが、このときDRAMの記憶データが“L”であれば再書き込みスイッチ87のゲート電圧は-5Vであって、再書き込みスイッチ87がオンすることではなく、画素内部の電圧は変化しない(図示せず)。しかしながら一方DRAMの記憶データが“H”であれば、再書き込みスイッチ87のゲート電圧は+5Vである。実際にはここでは、DRAMのリークによってこのゲート電圧は+2V程度まで低下したものと仮定するが、この場合にも再書き込みスイッチ87はオンし、図示したようにソース電圧はドレインと同じ5Vまで上昇する。これはソースとゲート間に設けられたブートストラップ容量88によって、ゲートの電圧が10V前後まで上昇するからである。さてこのとき図示した再書き込み容量90の電圧は、ほぼ5Vまで上昇する。これは再書き込み容量90と再書き込みスイッチ87のソースとの間に順方向に接続された第1再書き込みダイオード89が設けられているためであり、再書き込み容量90はその電圧が殆ど5Vになるまで充電される。なおこのとき第2再書き込みダイオード91には逆方向電圧が印加されており、DRAMの記憶ノードから第2再書き込みダイオード91への電荷リークは無視できる。

【0160】この後に再書き込みスイッチドレイン線92のパルスが再び元の-5Vに戻る。この電圧はそのまま再書き込みスイッチ87のドレイン電圧になるが、やはりこのとき仮にDRAMの記憶データが“L”であれば、再書き込みスイッチ87のゲート電圧は-5Vであって、再書き込みスイッチ87は常にオンすることなく、画素内部の電圧は変化しない(図示せず)。しかしながらDRAMの記憶データが前述のように“H”であった場合は、再書き込みスイッチ87のゲート電圧は元の+2Vに戻り、ゲートがオンであるからソース電圧もドレイン電圧と等しい-5Vに戻る。さてこのとき図示した再書き込み容量90の電圧は、ほぼ5Vまで上昇していたが、この電荷は次にDRAMの記憶ノードである再書き込みスイッチ87のゲート端子へと流入することになる。これは5Vに充電されていた再書き込み容量90と、再書き込みスイッチ87のゲートとの間の第2再書き込みダイオード91が、再書き込み容量90の電圧である5Vと再書き込みスイッチ87のゲート電圧である+2Vとで順方向にバイアスされるためであり、再書き込み容量90と再書き込みスイッチ87のゲートとが同電位になるまでこの電荷注入は継続する。このような電荷注入は再書き込みスイッチ87のゲート電圧が“H”でありながら5V以下のときには必然的に生じ、これが本実施例におけるDRAMのリフレッシュ動作に相当する。なおこのとき第1再書き込みダイオード89には逆方向電圧が印加されており、再書き込み容量90から再書き込みスイッチドレイン線92への電荷リークは無視できる。このように所定のタイミングで再書き込みスイッチドレイン線92にパルス電圧を印加する

ことにより、本実施例ではDRAMのリフレッシュに相当する再書き込み動作を寄生容量の大きな信号線12を介さずに、画素内で低消費電力で行うことができる。

【0161】なお反射及び透過型の液晶表示構造に関しては、本実施例は実施例1と同様であるため、ここではその説明を省略する。

【0162】本実施例では再書き込みスイッチドレイン線92は全画素で共通接続されているが、これを行毎あるいは列毎に共通にすれば、駆動回路の複雑度は増すものの、リフレッシュ動作時のピーク時消費電力の低減が可能である。

【0163】本実施例における各トランジスタは、実施例1と同様にpoly-Si TFTを用いているが、本実施例では余計なプロセス工程数増加を回避するため、第1再書き込みダイオード89及び第2再書き込みダイオード91をpoly-Siのn+/i/p+ラテラル接合で構成した。なお本実施例では再書き込み用の信号電荷を一方向に転送するために、上記のようにダイオードを採用したが、これは適当な駆動信号パルスを有するTFTスイッチ等で代用することもできる。この場合はこれらのTFTスイッチに所定の駆動信号を与えるために、画素の複雑さは増加してしまうものの、TFTのみで画素を構成できる点で製造プロセスはより容易になる。

【0164】また本実施例では保持容量86、再書き込み容量90に対する反対電極への接地電位印加方法に関しては説明を省略した。これはこれらの接地電圧印加方法が発明の本質ではないためであるが、実際には両者のための共通配線を別途設ける、或いは隣接行画素のゲート線11を利用する等、種々の実現方法があることは言うまでもない。

(実施例6) 以下図27を用いて、本発明の実施例6に関して説明する。

【0165】本実施例の構成及びその動作は、インバータラダーの段数が1段少なく、蓄積される画素データが3ビットであることと、液晶容量5と液晶共通電極36に代えて発光駆動スイッチ96と発光素子97及びこれに発光電流を供給するための低電圧電源線98と高電圧電源線99が設けられていることを除けば、図18～図21を用いて説明した実施例3とほぼ同様である。従ってここでは全体構成及びその動作の記載は省略し、本実施例の特徴である発光素子97を中心に画素に関して以下説明する。

【0166】図27は本実施例における画素の内部構成図である。

【0167】画素にはデータ入力スイッチ1及び発光駆動スイッチ96のゲート容量で構成されたDRAMが設けられており、データ入力スイッチ1の他端は信号線12に接続されている。このDRAMのデータ保持ノードはpMOSドライバ71aとnMOSドライバ70aと出力スイッチ72aで構成された第一インバータ段、p

MOSドライバ71bとnMOSドライバ70bと出力スイッチ72bで構成された第二インバータ段、pMOSドライバ71cとnMOSドライバ70cと出力スイッチ72cで構成された第三インバータ段を順に経て、pMOSドライバ27とnMOSドライバ26で構成されたCMOSインバータ3に入力し、その出力は再書き込みゲート線31で駆動される再書き込みスイッチ4を介して、再度DRAMのデータ保持ノードに入力している。上記各出力スイッチ72a、72b、72cの各ゲート

10 は、それぞれ第1段出力スイッチゲート線73、第2段出力スイッチゲート線74、第3段出力スイッチゲート線75に接続されている。なお上記各CMOSインバータの高電圧端子は10V電源線29に、各CMOSインバータの低電圧端子は5V電源線28に接続されている。更に本実施例においては、発光駆動スイッチ96のソースは低電圧電源線98に接続され、発光駆動スイッチ96のドレインは発光素子97を経て高電圧電源線99に接続されている。ここで低電圧電源線98には5V、高電圧電源線99には10Vが印加されるため、両者はそれぞれ同一の画素内で5V電源線28、10V電源線29に接続されているが、図面の簡略化のためにこれは図示していない。

【0168】以下、本実施例における画素の動作を説明する。

【0169】まず本実施例においても、インバータラダーを動作させない、即ち画素メモリを用いない状態では通常の多値、ないしアナログ表示の動作は実施例3と同様であるので、ここでは説明を省略する。但し本実施例では表示に発光素子97を用いているため、実施例3のようにデータの交流駆動を行う必要はない。

【0170】次に画素に対する3ビットデジタル画像データの書き込み動作、及び表示と再書き込み動作であるが、これに関しても基本的には4ビットが3ビットになった他は実施例3と同様であるため、ここでは詳細な説明は省略し、本実施例における実施例3との差異に関して説明するに留める。

【0171】本実施例においては、再書き込みゲート線31により再書き込みスイッチ4がオン／オフした際に、pMOSドライバ27とnMOSドライバ26で構成され

40 たインバータ3の入力容量に記憶されていた1ビットのデータが転送、記憶されるのは発光駆動スイッチ96のゲート容量と第一インバータ段の入力容量である。ここで注意すべき点は、本実施例におけるデータループ上のインバータの数は偶数個(4個)であるため、この1ビットのデータは再度第一インバータ段の入力容量に入力しても、最初に画素に入力されたデータから反転することはなく、その極性の“L”／“H”は変更されないということである。これは本実施例が表示に発光素子97を用いているため、実施例3のような交流駆動を行う必要はないことにその理由がある。

【0172】発光駆動スイッチ96は1ビットデータがゲートに入力されると、データの値の“L”/“H”によって、スイッチをオフ/オンさせる。ここでオフならば発光素子97には電流が流れることはなく発光は生じないが、オンならば発光素子97には所定の電流が流れて発光が生じる。なおここで発光素子97の発光輝度を最適化させるためには、発光素子97の構造で対応しても良いし、或いは電源電圧線98、99を5V電源線28、10V電源線29から分離して電圧を調整する、発光駆動スイッチ96と低電圧電源線98の間に所定の抵抗をpoly-Si等で設けて挿入する等の様々な手法が可能である。なおこれらの3つの手法には、それぞれ画素の構造が簡単になる、後から電圧の微調整が可能、製造プロセスを変えずに内部に自由度の高い電圧を作り込める等の長所がある。

【0173】本実施例においては、発光素子97として有機発光ダイオード(OLED, Organic Light Emitting Diode)を用いたが、これに無機発光ダイオード、電界発光効果(Electro-luminescence)素子等のその他の2端子発光素子を用いることも可能であることは言うまでもない。また発光素子によって発光に必要な電圧は異なるが、この場合には5V電源線28、10V電源線29ごと低電圧電源線98、高電圧電源線99の印加電圧を変えることで対応することも可能である。

【0174】本実施例では、以上のように画素内に発光素子97を形成することにより、他の照明がない場合でも、信号線12を用いずに低消費電力で画像を自発光表示することが可能であるという長所がある。

【0175】なお本実施例においても、3つのビットデータの表示期間を2倍ずつ変化させて時間的な重みをつけることにより、 $2^3 = 8$ 階調の表示を行っていることに関しては実施例1と同様であるため、ここではその説明は省略する。

【0176】また本実施例では3ビットの画像データを表示に用いたが、本実施例の構造がビット数に限らず適用可能であることは言うまでもない。但しその場合はデータループを一周した後のデータを反転させないため、必要に応じてデータ反転調整のためのインバータ回路を適宜追加ないし削除する、或いはデータの反転しないアンプを用いる等の工夫が必要である。

(実施例7) 以下図28を用いて、本発明における実施例7に関する説明する。

【0177】図28は実施例7である画像表示端末(PDA:Personal Digital Assistants)100の構成図である。

【0178】無線インターフェース(I/F)回路101には、圧縮された画像データ等が外部からbluetooth規格に基づく無線データとして入力し、無線I/F回路101の出力はI/O(Input/Output)回路102を介してデータバス103に接続される。データバス10

3にはこの他にマイクロプロセサ104、表示パネルコントローラ105、フレームメモリ106等が接続されている。更に表示パネルコントローラ105の出力は反射/透過表示poly-Si TFT液晶表示パネル110に入力しており、反射/透過表示poly-Si TFT液晶表示パネル110には画素マトリクス111、ゲート線駆動回路115、信号線駆動回路114等が設けられている。なお画像表示端末100には更に、電源107および画素マトリクス照明108が設けられており、画素マトリクス照明108はI/O回路102により制御されている。なおここで反射/透過表示poly-Si TFT液晶表示パネル110は、先に述べた実施例1と同一の構成および動作を有しているので、その内部の構成及び動作の記載はここでは省略する。

【0179】以下に本実施例7の動作を説明する。始めに無線I/F回路101は命令に応じて圧縮された画像データを外部から取り込み、この画像データをI/O回路102を介してマイクロプロセサ104及びフレームメモリ106に転送する。マイクロプロセサ104はユーザからの命令操作を受けて、必要に応じて画像表示端末100を駆動し、圧縮された画像データのデコードや信号処理、情報表示を行う。ここで信号処理された画像データは、フレームメモリ106に一時的に蓄積される。

【0180】ここでマイクロプロセサ104が「照明表示モード」による情報表示を命令された場合には、マイクロプロセサ104の指示に従ってフレームメモリ106から表示パネルコントローラ105を介して反射/透過表示poly-Si TFT液晶表示パネル110に画像データが入力され、画素マトリクス111は入力された画像データをリアルタイムで表示する。このとき表示パネルコントローラ105は、同時に画像を表示するために必要な所定のタイミングパルスを出力する。なお反射/透過表示poly-Si TFT液晶表示パネル110が、これらの信号を用いて、画素マトリクス111に6ビット画像データから生成された64階調の多値データをリアルタイムで表示することに関しては、実施例1で述べたとおりである。なおこのときI/O回路102は画素マトリクス照明108を点灯させ、画像表示端末100は動画を含む高品位画像表示を行うことができる。なおここで電源107には二次電池が含まれており、これらの画像表示端末100全体を駆動する電力を供給する。

【0181】次にマイクロプロセサ104が「反射表示モード」による情報表示を命令された場合には、マイクロプロセサ104の指示に従ってフレームメモリ106から表示パネルコントローラ105を介して反射/透過表示poly-Si TFT液晶表示パネル110に所定の画像データが送られた後に、フレームメモリ106、画素マトリクス照明108等の所定の構成要素の電源は遮断され、またマイクロプロセサ104は低消費電力動作モー

ドで動作して、画像表示端末100における消費電力の削減が行われる。この時に反射／透過表示poly-Si TFT液晶表示パネル110が、各画素に書き込まれた3ビットの画像データを用いて、信号線12を用いないで低消費電力の画像表示を行うことに関しては、既に実施例1で述べたとおりである。なお先の「照明表示モード」の際の6ビット、64階調の多値データ表示と比較して、「反射表示モード」の際は3ビットと表示画像のデータ量が少ないため、フレームメモリ106から反射／透過表示poly-Si TFT液晶表示パネル110への画像データ転送に際しては、マイクロプロセッサ104の指示により所定のデータ量の削減が行われている。なお反射／透過表示poly-Si TFT液晶表示パネル110が表示している3ビットの画像データは、マイクロプロセッサ104の命令に従って適宜書き換えることが可能である。

【0182】本実施例によれば、「照明表示モード」による高品位画像表示と、「反射表示モード」による低消費電力画像表示とを両立させた画像表示端末100を提供することができる。

【0183】なお本実施例では画像表示に、実施例1で説明した反射／透過表示poly-Si TFT液晶表示パネル110を用い、「照明表示モード」／「反射表示モード」とで画素マトリクス照明108をオン／オフさせたが、表示デバイスとしてはこの他にも、その他の本発明の実施例に記載されたような種々の表示パネルを用いることが可能である。これはまた反射／透過表示を両立させる表示パネルには限らない。反射表示のみを用いる表示パネルの場合でも同様な画像表示端末を構成することは可能であるし、発光素子を用いる表示パネルの場合でも、「高輝度モード」／「低輝度モード」のように高消費電力で高品位画像表示することを重視したモードと低消費電力での画像表示を重視したモードを用いることは可能である。また本実施例では、「照明表示モード」／「反射表示モード」とで、リアルタイムな多値データ画像表示／画素に記憶された3ビットの画像データ表示を自動的に切替えたが、両表示の切替えは任意に選択することも可能である。例えば動画と静止画で両表示を切替えても良いし、多値データ画像表示は行わずに常に、一旦は画素に記憶させた画像データを用いて表示するようにしても良い。或いはこのとき表示画像データのビット数を任意に変更することなども選択肢である。

【0184】

【発明の効果】本発明によれば、画像表示装置における消費電力の削減と低価格化とを両立させることができ。更にこれに加えて多ビットの画像データを表示することも可能である。

【図面の簡単な説明】

【図1】実施例1であるpoly-Si-TFT液晶表示パネルの構成図。

【図2】実施例1における画素の内部構成図。

【図3】実施例1における1ビット画素データを書き込む際の駆動波形図。

【図4】実施例1における3ビット画素データを書き込む際の駆動波形図。

【図5】実施例1における1ビット画素データを書き込む際のポテンシャル図。

【図6】実施例1における残り2ビット画素データを書き込む際のポテンシャル図。

10 **【図7】**実施例1における画像データの表示と再書き込み動作の際の駆動波形図。

【図8】実施例1における画像データの表示と再書き込み動作の際のポテンシャル図。

【図9】実施例1における3ビット画像データの表示シーケンス図。

【図10】実施例1における画素の一部分の断面図。

【図11】実施例2における画素の内部構成図。

【図12】実施例2における1ビット画素データを書き込む際の駆動波形図。

20 **【図13】**実施例2における3ビット画素データを書き込む際の駆動波形図。

【図14】実施例2における1ビット画素データを書き込む際のポテンシャル図。

【図15】実施例2における残り2ビット画素データを書き込む際のポテンシャル図。

【図16】実施例2における画像データの表示と再書き込み動作の際の駆動波形図。

【図17】実施例2における画像データの表示と再書き込み動作の際のポテンシャル図。

【図18】実施例3における画素の内部構成図。

30 **【図19】**実施例3における1ビット画素データを書き込む際の駆動波形図。

【図20】実施例3における3ビット画素データを書き込む際の駆動波形図。

【図21】実施例3における画像データの表示と再書き込み動作の際の駆動波形図。

【図22】実施例4における画素の内部構成図。

【図23】実施例4における1ビット画素データを書き込む際の駆動波形図。

40 **【図24】**実施例4における画像データの表示と再書き込み動作の際の駆動波形図。

【図25】実施例5における画素の内部構成図。

【図26】実施例5におけるリフレッシュ動作の端子電圧波形図。

【図27】実施例6における画素の内部構成図。

【図28】実施例7における画像表示端末の構成図。

【図29】従来の技術を用いたTFT液晶表示パネルの構成図。

【図30】他の従来の技術を用いたTFT液晶表示パネルの構成図。

50 **【図31】**第4実施例における画素の平面図である。

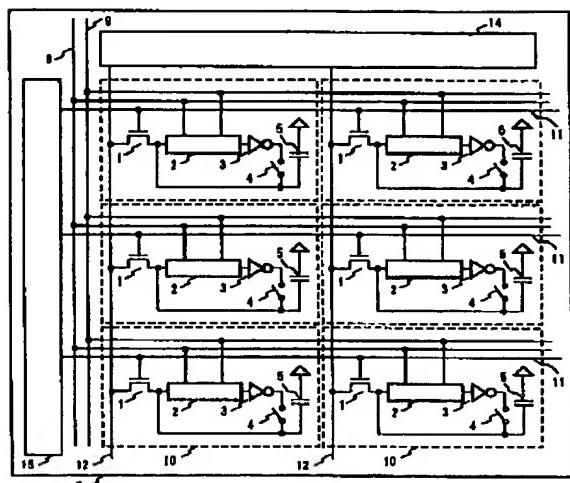
【符号の説明】

1…データ入力スイッチ、2…BBD (Bucket Brigade Device)、3…インバータ、4…再書き込みスイッチ、5

…液晶容量、6…ガラス基板、8…BBD第1駆動線、
9…BBD第2駆動線、10…画素、12…信号線、14…
4…信号線駆動回路。

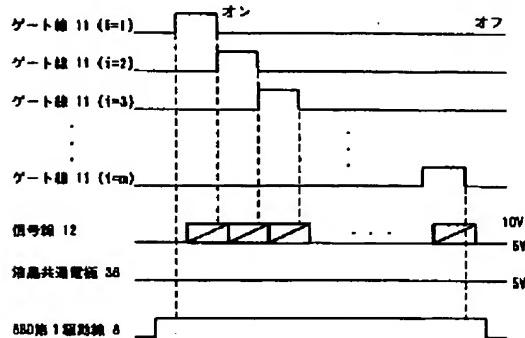
【図1】

図 1



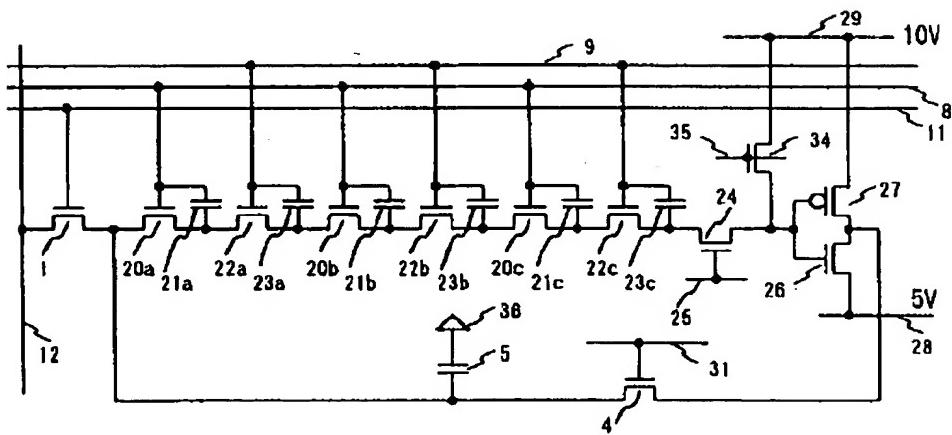
【図3】

図 3



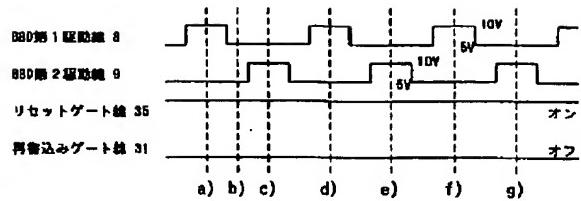
【図2】

図 2



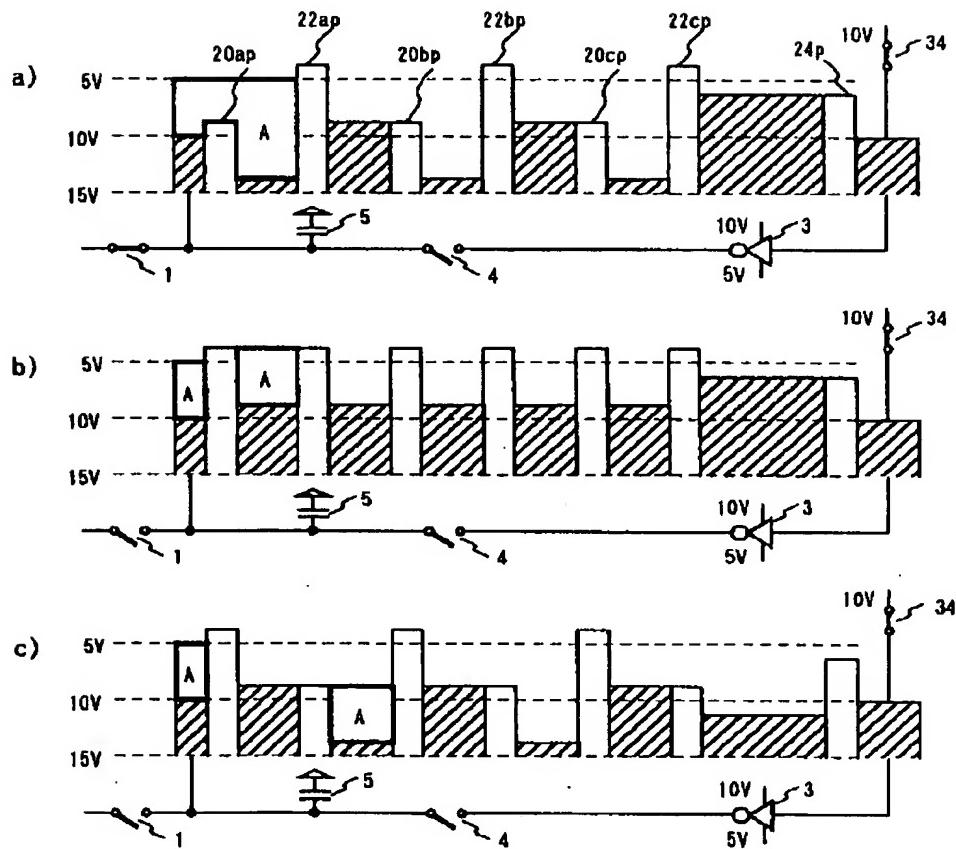
【図4】

図4



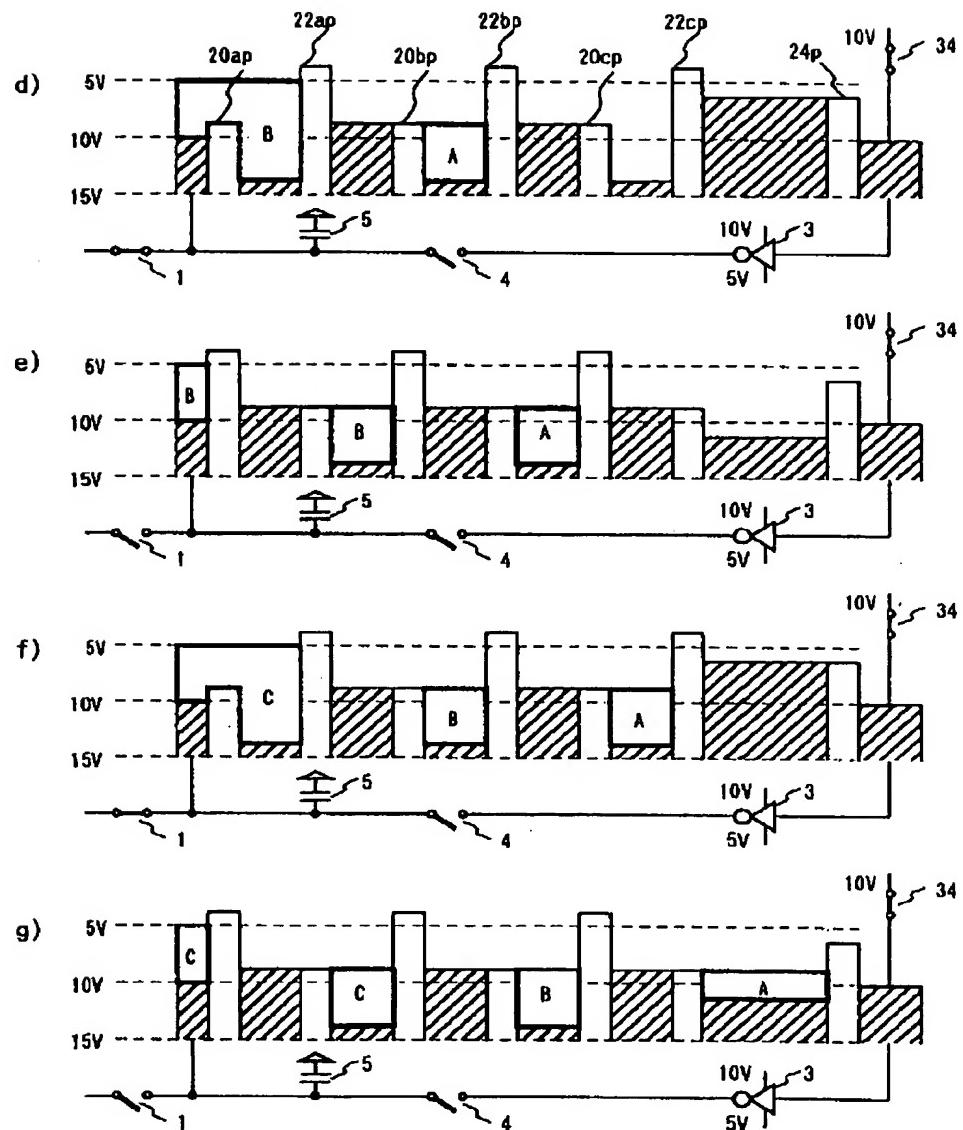
【図5】

図5



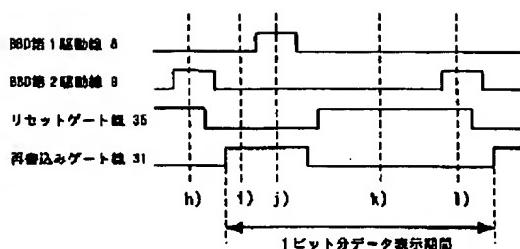
【図6】

図 6



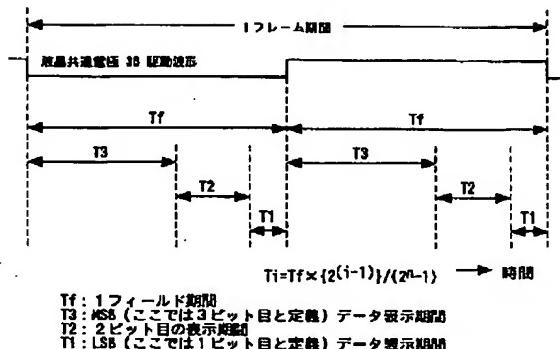
【図7】

図 7



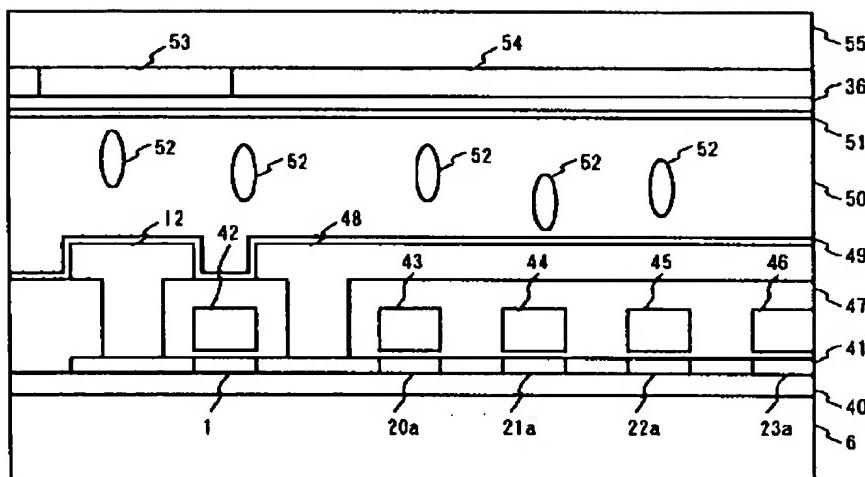
【図9】

図 9



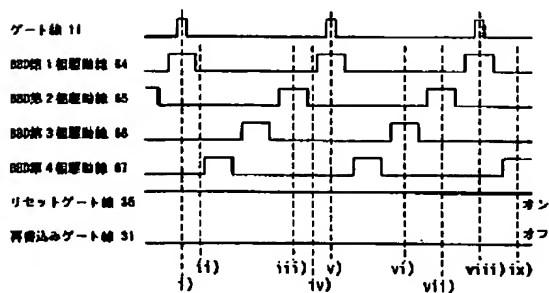
【図10】

図 10



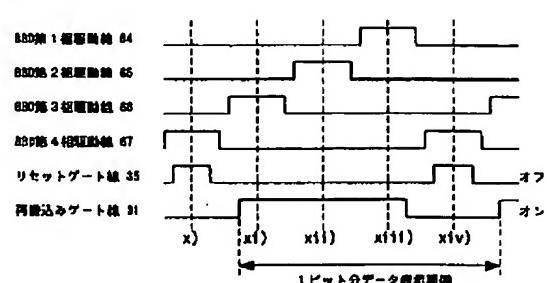
【図13】

図 13



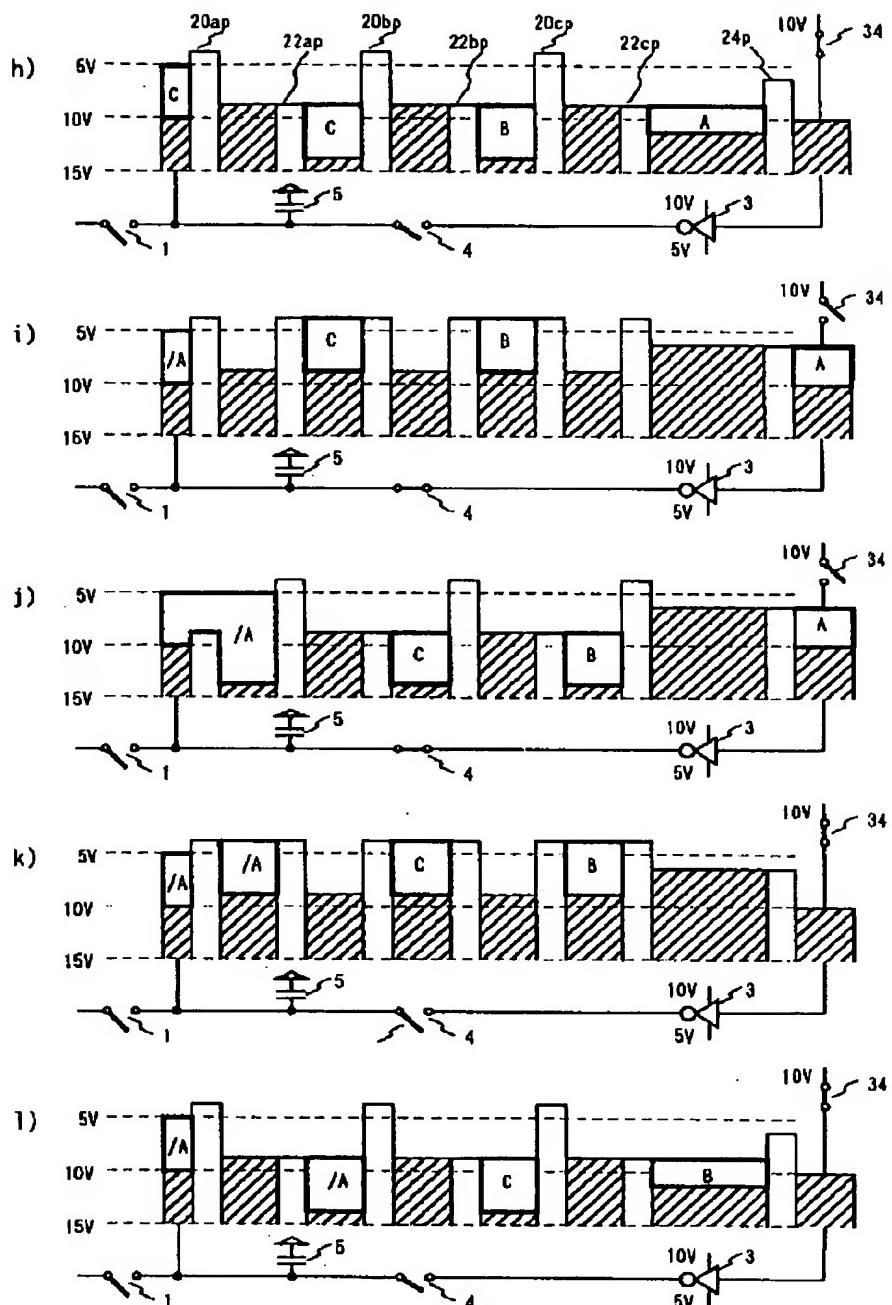
【図16】

図 16



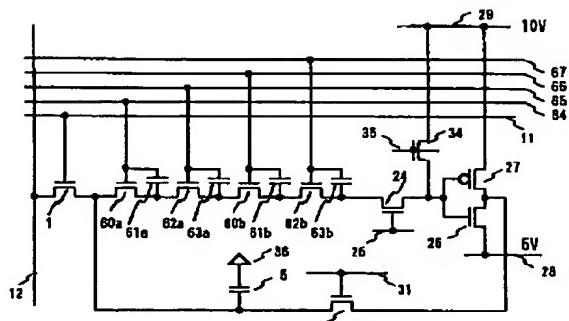
【図8】

図 8



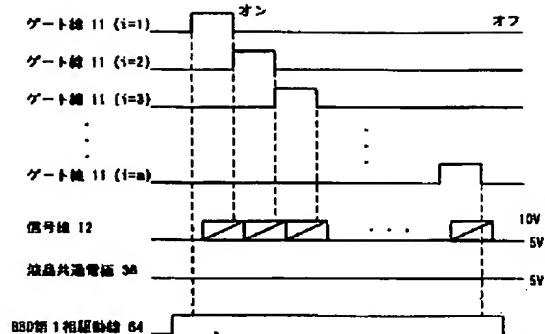
【図11】

圖 11



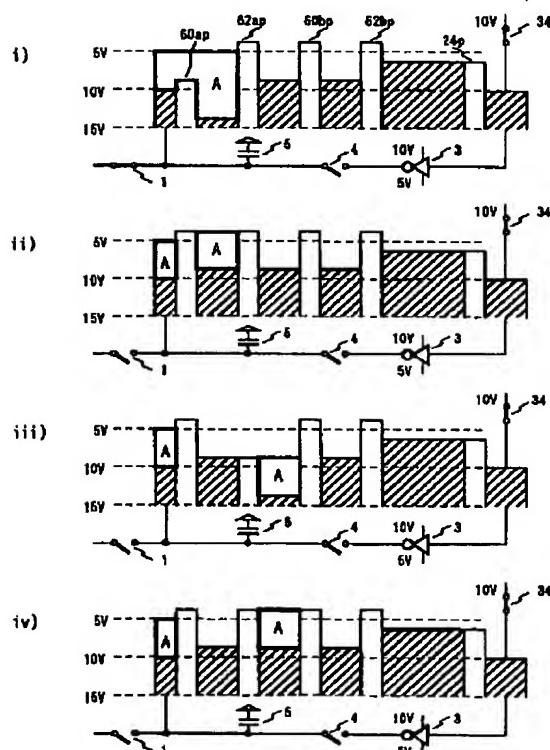
【図12】

图 12



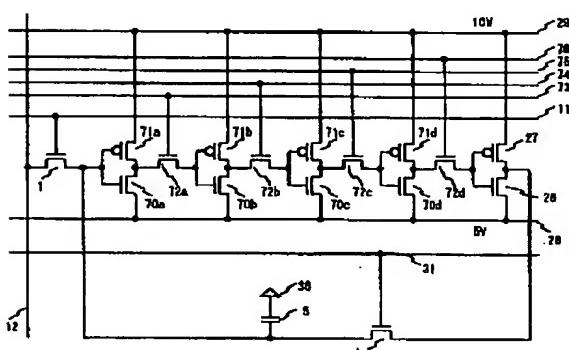
【图 1-4】

圖 14



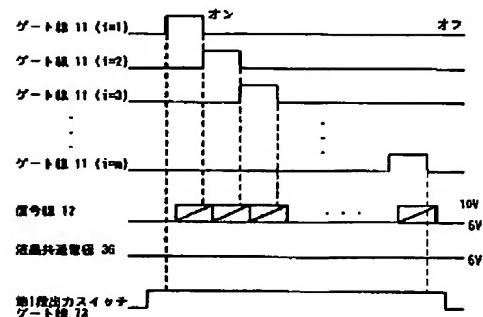
【四】 1 8】

图 18

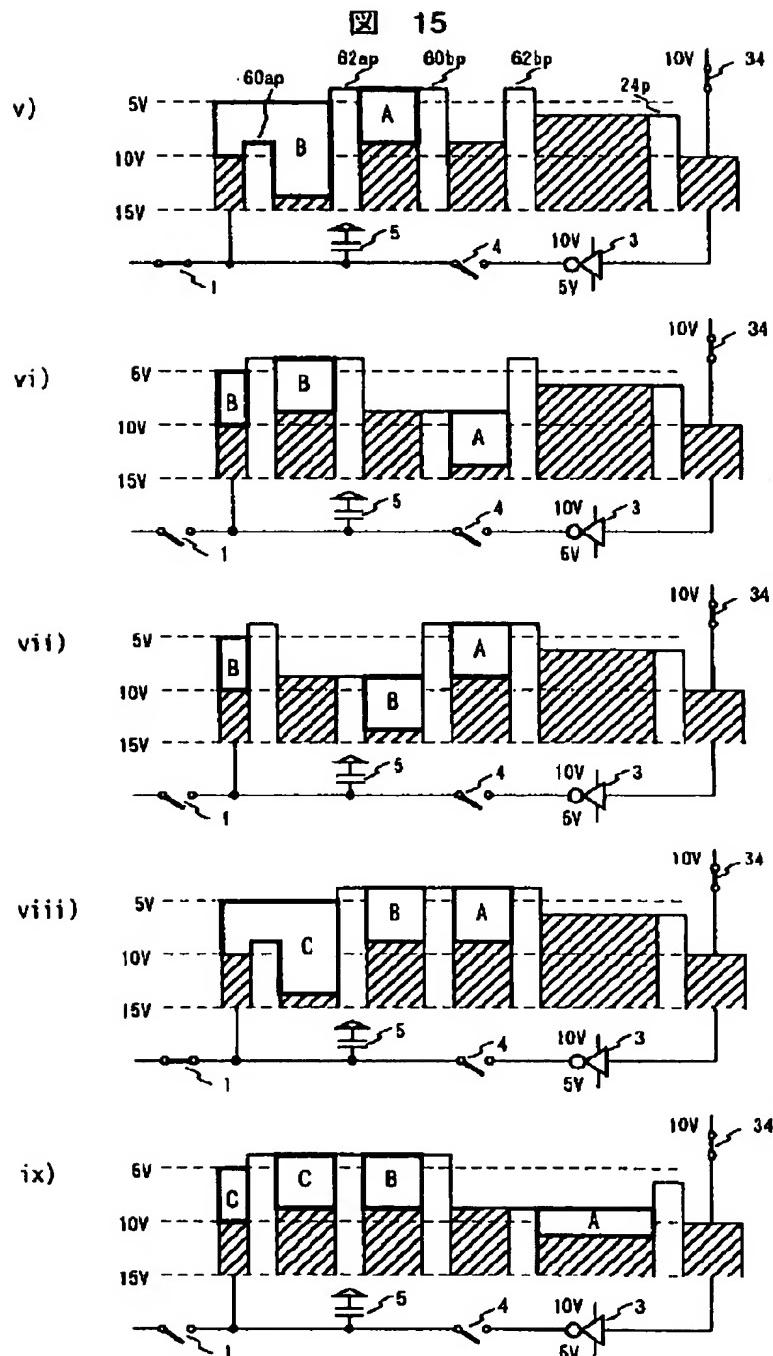


【図19】

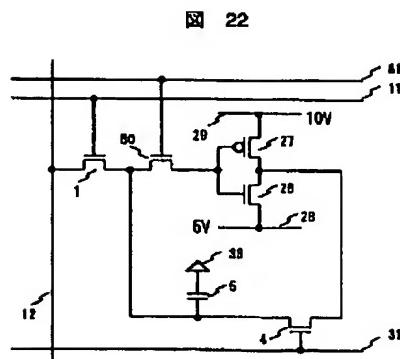
图 19



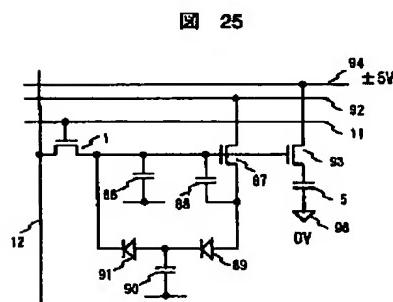
【図15】



【図22】

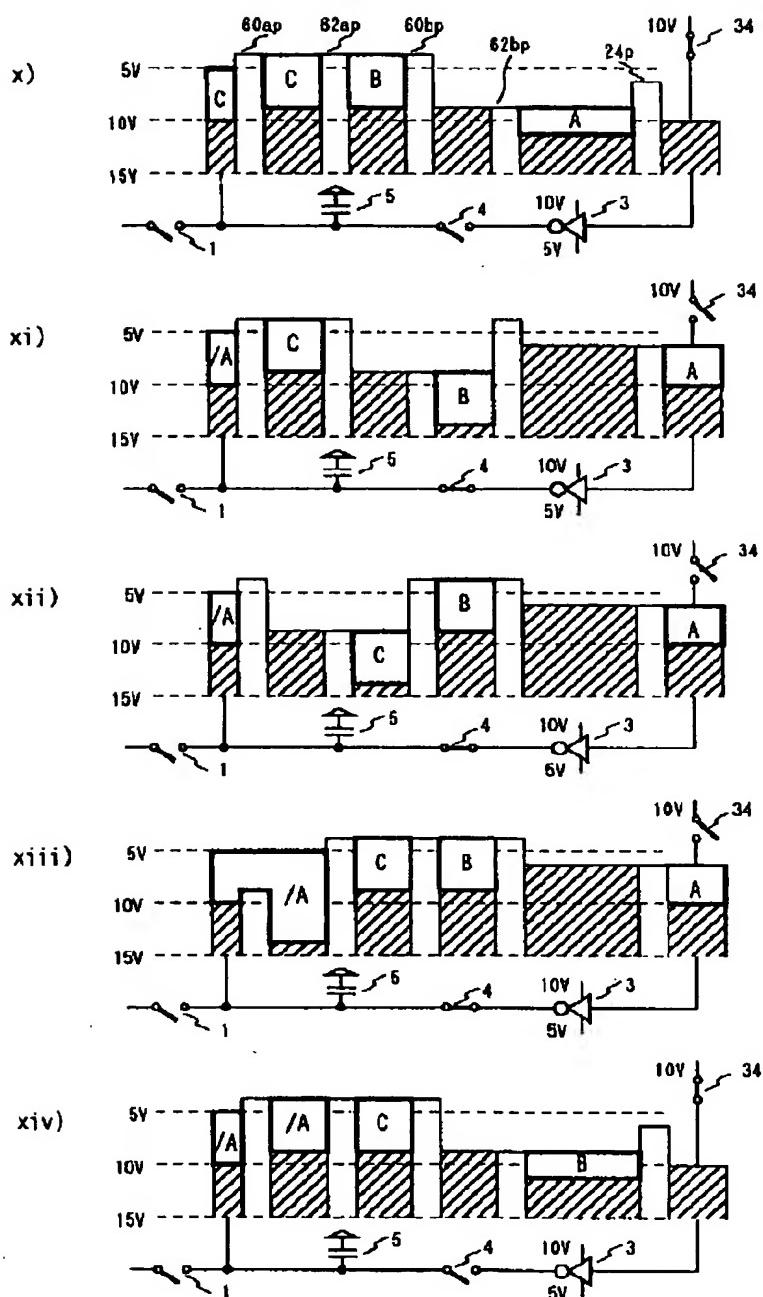


【図25】



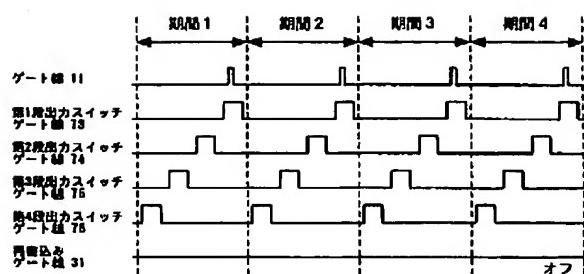
【図17】

図 17



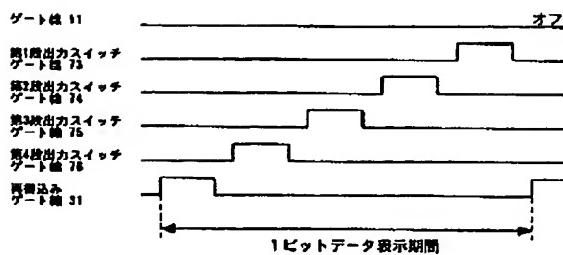
【図20】

図 20



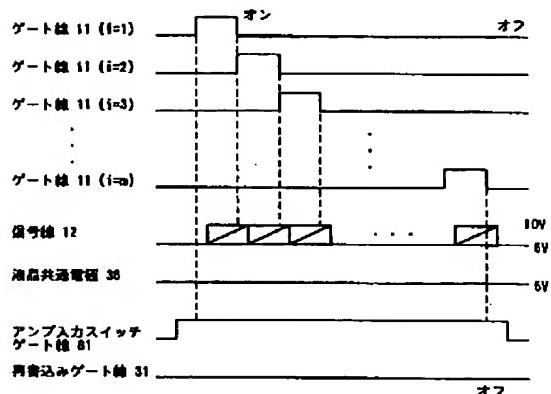
【図21】

図 21



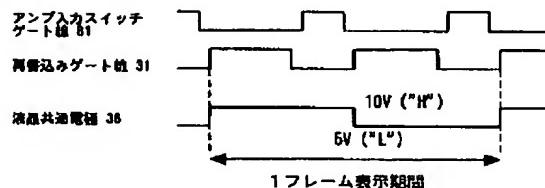
【図23】

図 23



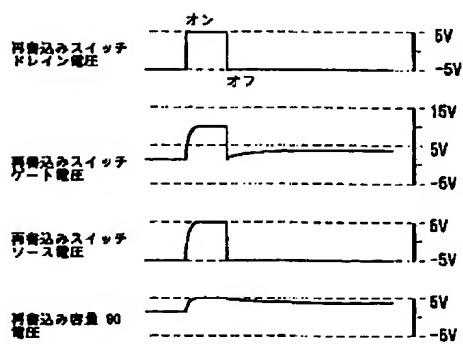
【図24】

図 24



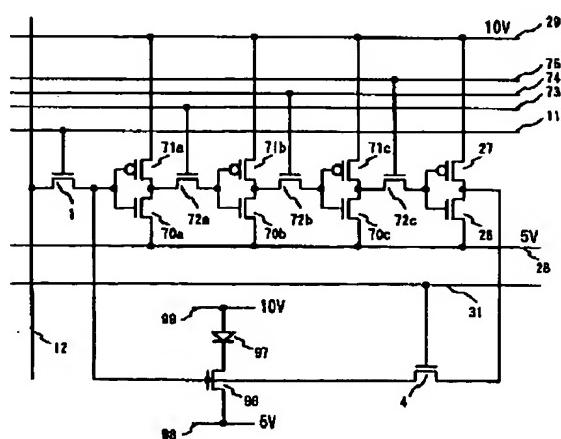
【図26】

図 26



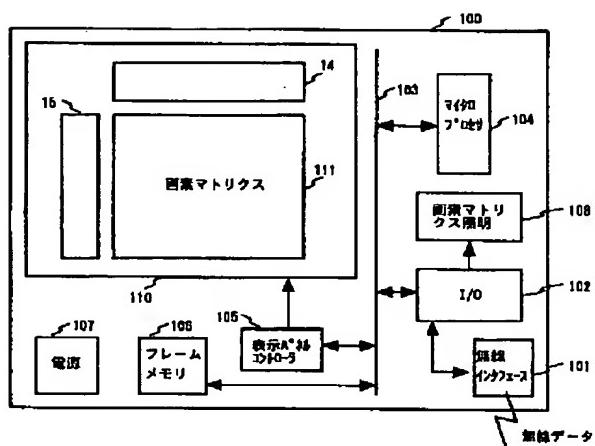
【図27】

図 27



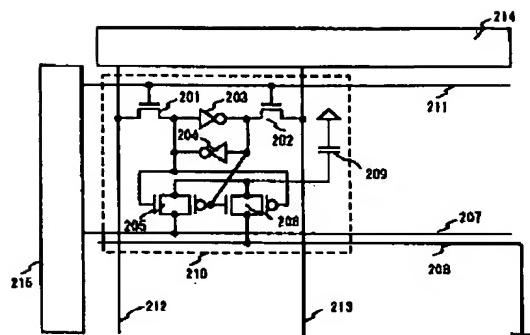
【図28】

図 28



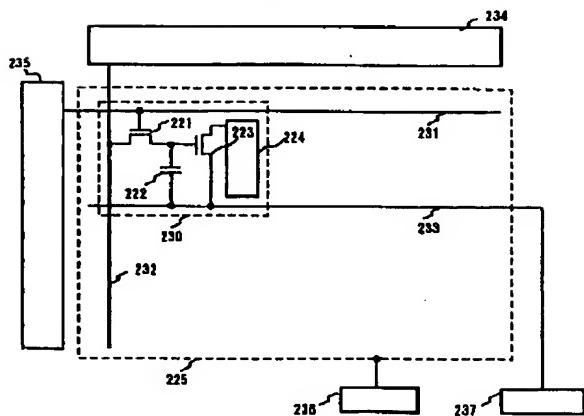
【図29】

図 29



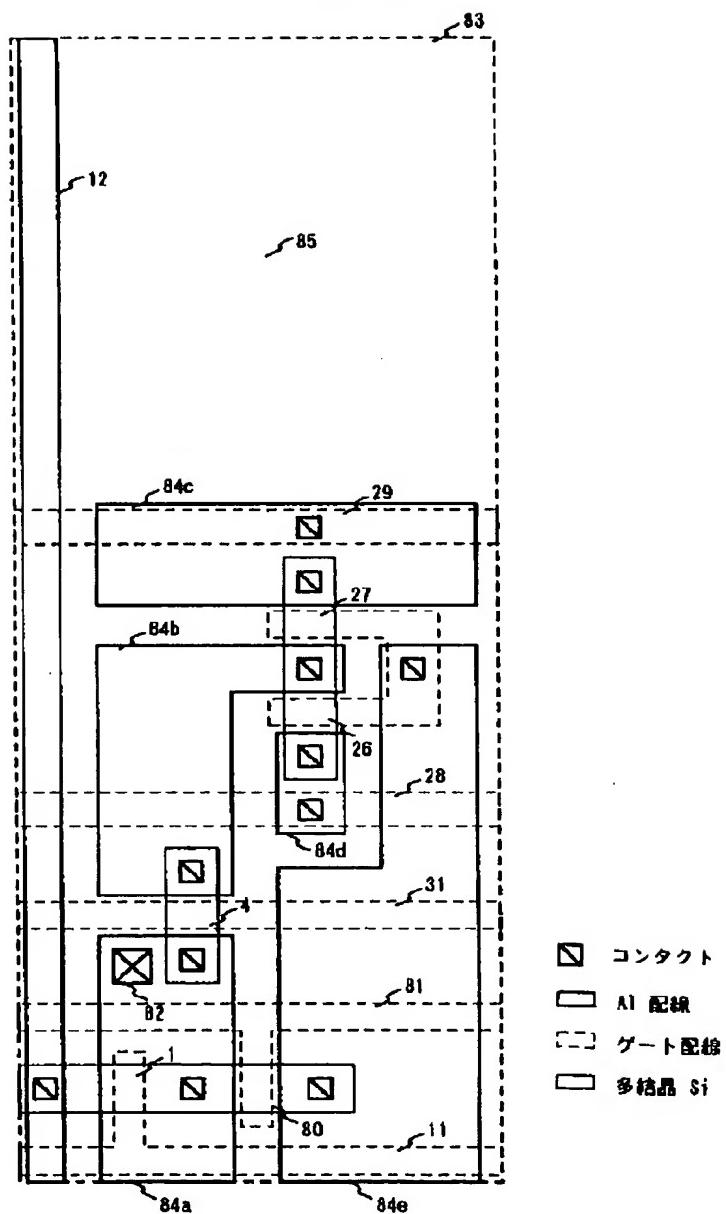
【図30】

図 30



【図31】

図 31



フロントページの続き

(51) Int. Cl. 7

G 09 G 3/20

3/30

識別記号

6 1 1

6 2 4

F I

G 09 G 3/20

3/30

G 02 F 1/136

「スマコード」(参考)

6 2 4 B

J

5 0 0

(72) 発明者 三上 佳朗 F ターム(参考) 2H092 JA24 JB42 JB67 NA26 PA06
茨城県日立市大みか町七丁目1番1号 株 2H093 NA16 NC34 NC40 ND39 ND54
式会社日立製作所日立研究所内 ND60 NE10
(72) 発明者 小村 真一 5C006 AA16 AC11 AF11 AF42 AF43
茨城県日立市大みか町七丁目1番1号 株 BB16 BC06 FA47
式会社日立製作所日立研究所内 5C080 AA06 AA10 BB05 DD26 EE29
JJ05
5C094 AA07 AA22 AA43 AA44 AA53
AA56 BA03 BA23 BA27 BA43
CA19 CA25 DA09 DA13 DB01
DB04 EA04 EA10 FA01 FA02
FB01 FB02 FB12 FB14 FB15
GA10 GB10

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-207453
 (43)Date of publication of application : 26.07.2002

(51)Int.CI. G09G 3/36
 G02F 1/133
 G02F 1/1368
 G09F 9/30
 G09G 3/20
 G09G 3/30

(21)Application number : 2001-000048
 (22)Date of filing : 04.01.2001

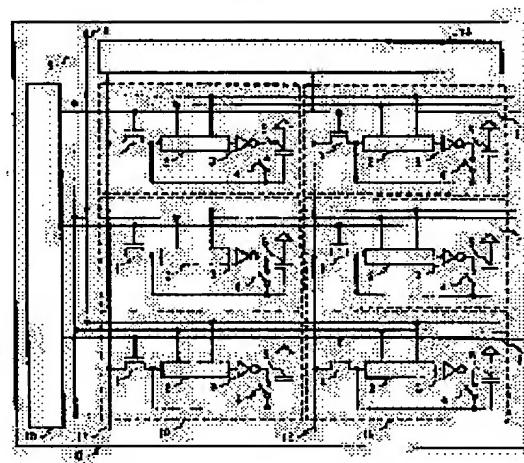
(71)Applicant : HITACHI LTD
 (72)Inventor : AKIMOTO HAJIME
 HOSHINO MINORU
 MIKAMI YOSHIAKI
 KOMURA SHINICHI

(54) IMAGE DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To simultaneously reduce the power consumption and the cost of an image display device.

SOLUTION: The device has a display section which is composed of multiple pixels, a control section which controls the display section and signal lines arranged in the display section to input display signals to the pixels. Each pixel has at least, more than one switch and a first capacitor to store display signals inputted through the signal lines for more than a prescribed time in a form of electric charges. Moreover, the pixel has a means to rewrite the display signals into the first capacitor without going through the signal lines in accordance with the commands from the control section.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office